

УДК 621.382.32:621.314

ПРОЕКТИРОВАНИЕ ИНТЕГРАЛЬНЫХ УМНОЖИТЕЛЕЙ НАПРЯЖЕНИЯ ПО ТИПОВЫМ КМОП-ТЕХНОЛОГИЯМ

© 2023 г. А. С. Синюкин¹, *, Б. Г. Коноплев¹, **, А. В. Ковалев¹, ***

¹Дизайн-центр микроэлектронной компонентной базы для систем искусственного интеллекта Южного федерального университета, ул. Шевченко, 2, Таганрог, 347922 Россия

*E-mail: sinyukin@sfnedu.ru

**E-mail: kbg@sfnedu.ru

***E-mail: avkovalev@sfnedu.ru

Поступила в редакцию 09.06.2023 г.

После доработки 10.09.2023 г.

Принята к публикации 10.09.2023 г.

Представлены результаты проектирования интегральных многокаскадных умножителей напряжения как компонентов модулей питания беспроводных пассивных микроустройств. Рассмотрены значимые для построения умножителей параметры транзисторов, представленных в трех типовых КМОП-технологиях: СМ018Г 180 нм, НСМ08Д 180 нм и С250Г 250 нм. Результаты моделирования в САПР Cadence показали, что при реализации восьмикаскадного умножителя по технологии СМ018Г минимально необходимый для работы микросхемы уровень выходного напряжения достигается при входной амплитуде 250 мВ, а при реализации аналогичного устройства по технологии НСМ08Д – при амплитуде 375 мВ. На примере построенного шестнадцатикаскадного умножителя показано, что значения эффективности умножения напряжения составляют от 20 до 54% для широкого диапазона входного напряжения, причем эффективность снижается всего на 1–3% по сравнению с восьмикаскадной реализацией. Предложенные рекомендации по проектированию интегральных выпрямителей-умножителей напряжения могут найти применение при разработке пассивных модулей питания микроэлектронных устройств.

Ключевые слова: мониторинг состояния инженерных объектов, умножитель напряжения, типовые КМОП-технологии, наноразмерные МОП-транзисторы, подпороговый режим работы

DOI: 10.31857/S0544126923600203, **EDN:** HPMCNY

1. ВВЕДЕНИЕ

Интегральные микросхемы, изготавливаемые по типовым технологиям, характеризуются возможностью массового производства, надежностью, воспроизводимостью и модульным принципом конструирования, что в совокупности с преимуществами по компактности, удельной стоимости и быстродействию обеспечивают их существенное превосходство над устройствами на основе дискретных компонентов. Относительно низкая стоимость единичного чипа жестко обусловлена необходимостью крупносерийного выпуска, поскольку расходы на разработку микросхем и изготовление необходимых фотошаблонов обычно высоки. В свою очередь, активное развитие в последние десятилетия технологий беспроводной передачи данных и энергии способствовали широкому внедрению таких приложений как интернет вещей [1], радиочастотная идентификация [2], мониторинг состояния инже-

нерных объектов посредством сетей датчиков [3] во многие области экономики, например в промышленность, торговлю, строительство, логистику, медицину. Для сбора, хранения, аутентификации и передачи данных в приведенных технологиях используются в большом количестве миниатюрные радиочастотные устройства: беспроводные датчики, RFID-метки, транспондеры, узлы интернета вещей и так далее.

Беспроводные радиочастотные микроустройства, используемые при диагностике состояния технических конструкций и в других современных приложениях, можно разделить на активные и пассивные. Первые получают энергию для работы от встроенной батареи аккумуляторов и характеризуются большой дальностью действия, определяемой независимостью от внешних источников энергии, но также более высокими стоимостью, размерами и ограниченным сроком службы. Вторые вынуждены получать энергию

для работы извне — от согласованных базовых станций или путем сбора ее из окружающей среды. Пассивные устройства выгодно отличаются от своих активных аналогов массогабаритными характеристиками, стоимостью производства и существенно более длительным временем действия, что может быть чрезвычайно актуальным во встраиваемых системах, применяемых в медицине [4], строительстве [5] и других областях.

Вместо батареи в пассивных устройствах реализуется модуль питания, одним из важнейших компонентов которого является выпрямитель напряжения с возможностью его умножения, задача которого заключается в преобразовании энергии радиочастотного излучения, собранной приемной антенной, в напряжение постоянного тока и дальнейшем его увеличении за счет повышения уровня до требуемого значения, соответствующего напряжению питания микросхемы пассивного устройства. В работе показаны преимущества интегральной реализации многокаскадных умножителей напряжения по типовым КМОП-технологиям, рассмотрены особенности их топологического проектирования, проанализировано влияние параметров транзисторов и числа каскадов на результирующие характеристики разрабатываемых устройств.

2. РЕАЛИЗАЦИЯ УМНОЖИТЕЛЕЙ НАПРЯЖЕНИЯ ПО РАЗЛИЧНЫМ ТЕХНОЛОГИЯМ

Одной из наиболее распространенных конфигураций выпрямителя-умножителя напряжения является схема, предложенная Дж.Ф. Диксоном в 1976 году [6]. При однокаскадной реализации такого устройства в идеальных условиях уровень выходного напряжения оказывается в два раза выше, чем входная амплитуда:

$$V_{\text{out, ideal}} = 2NV_a, \quad (1)$$

где $V_{\text{out, ideal}}$ — идеализированное значение выходного напряжения; N — число каскадов умножителя; V_a — амплитуда входного напряжения.

В действительности же из-за потерь на компонентах результирующее напряжение оказывается ниже идеализированного значения:

$$V_{\text{out}} = 2N(V_a - V_d), \quad (2)$$

где V_{out} — выходное напряжение, V_d — падение напряжения на выпрямляющем компоненте. При высоких значениях входной амплитуды падение напряжения на МОП-транзисторе в диодном включении приближенно соответствует его пороговому напряжению $V_d \approx V_{th}$.

Особенностью умножителя Диксона является возможность до определенных пределов увеличивать число каскадов для получения более высоких уровней выходного напряжения. В табл. 1 представлены сведения о нескольких вариантах реализации выпрямителей-умножителей, основанных на схеме Диксона.

В качестве приведенного показателя качества умножения напряжения использовался параметр, определяемый из отношения уровня получаемого выходного напряжения и произведения амплитуды входного напряжения на число каскадов умножения. Как видно из таблицы, более совершенные и сложные технологии, например “кремний на сапфире” [7] или КМОП-транзисторы с нулевым пороговым напряжением [10, 11], позволяют достигать более высоких показателей качества, в частности, более высокой эффективности умножения напряжения. Однако они менее доступны, и стоимость изготовления пассивных устройств по таким технологиям оказывается выше, чем при изготовлении по типовым КМОП-технологиям [8, 9, 12, 16]. Часто применяемые в схемах умножителей напряжения диоды с барьером Шоттки, характеризующиеся малыми падениями напряжения и высокой скоростью переключения, в общем случае превосходят МОП-транзисторы по производительности, но такие диоды нельзя изготовить по типовым КМОП-технологиям — для этого требуется введение дополнительных технологических операций по созданию фотомасок, что опять же приводит к увеличению стоимости производства [8, 11]. Изготовление выпрямителей-умножителей на основе дискретных компонентов позволяет в ряде случаев [13–15] получать более высокие показатели по сравнению с типовыми интегральными устройствами, однако такое исполнение существенно ограничивает область применения конечных устройств ввиду достаточно громоздких размеров (о встраиваемых функциях говорить не приходится) и отсутствия возможности автоматизированного массового производства. Крупносерийное изготовление микросхем пассивных беспроводных устройств, с одной стороны, нуждается в преимуществах интегральных технологий, а с другой стороны, обеспечено рынком сбыта ввиду усиливающегося значения беспроводных приложений в процессах модернизации, компьютеризации и автоматизации. И здесь важно отметить, что разработка и изготовление беспроводных микроустройств и их компонентов по типовым технологиям КМОП с проектными нормами порядка 65–180 нм [17] с одной стороны удовлетворяют техническим требованиям,

Таблица 1. Сравнение параметров маломощных выпрямителей-умножителей напряжения различного исполнения

Источник	Реализация	Входная частота, МГц	Размер умножителя, мм ²	Показатель качества умножения напряжения
[7]	0.5 мкм КНС КМОП	2450	0.043	4.07
[8]	130 нм КМОП	900	0.720	1.00
[9]	0.18 мкм КМОП	900	0.060	1.39
[10]	0.35 мкм КМОП, транзисторы с нулевым V_{th}	900	0.096	4.68
[11]	0.18 мкм КМОП, транзисторы с нулевым V_{th}	900	Нет данных	3.69
[12]	0.18 мкм КМОП	860–960	0.774	1.71
[13]	Дискретные компоненты	850	500.0	5.04
[14]	Дискретные компоненты	900	1440	6.20
[15]	Дискретные компоненты	900	5400	4.72
Предлагаемый умножитель [16]	0.18 мкм КМОП	2450	0.029	2.22

предъявляемым к таким устройствам, а с другой стороны позволяют значительно снизить стоимость производства.

Параметры и характеристики МОП-транзисторов, доступных в конкретной технологии — одна из главных ее особенностей, от которой зависит эффективность проектируемых устройств. В отношении интегральных умножителей напряжения можно сказать, что определяющими параметрами транзисторов являются пороговое напряжение, плотность прямого и обратного токов. От этих параметров зависит величина падения напряжения на компонентах в процессе зарядки и результирующее выходное напряжение. В работе рассматривались три технологии: SM018G 180 нм от TSMC [18]; HCMOS8D 180 нм, применяемая российской компанией “Микрон” для производства аналоговых схем управления питанием, RFID-чипов, микропроцессоров, микроконтроллеров и других типов интегральных схем [17], и технология C250G 250 нм [19]. Пороговое напряжение транзисторов, представленных в техноло-

гии SM018G, ниже порогового напряжения транзисторов из технологии HCMOS8D более чем на 200 мВ и составляет от 0.219 до 0.262 В в зависимости от режима работы. Такая разница существенна, поскольку от порогового напряжения зависит уровень выходного напряжения многокаскадного умножителя, эффективность умножения, а также чувствительность по напряжению. Оценочное значение эффективности умножения можно получить из выражений (1) и (2):

$$\eta_e = \frac{V_{out}}{V_{out, ideal}} \times 100\%. \quad (3)$$

Несмотря на упрощенную форму выражения (3), оно тем не менее может дать представление о степени влияния порогового напряжения на эффективность умножителя. Значения удельных прямых токов транзисторов для обеих технологий с проектными нормами 180 нм сопоставимы и составляют порядка 300 мкА/мкм, а обратные токи в технологии HCMOS8D имеют даже меньшие значения по сравнению с обратными токами

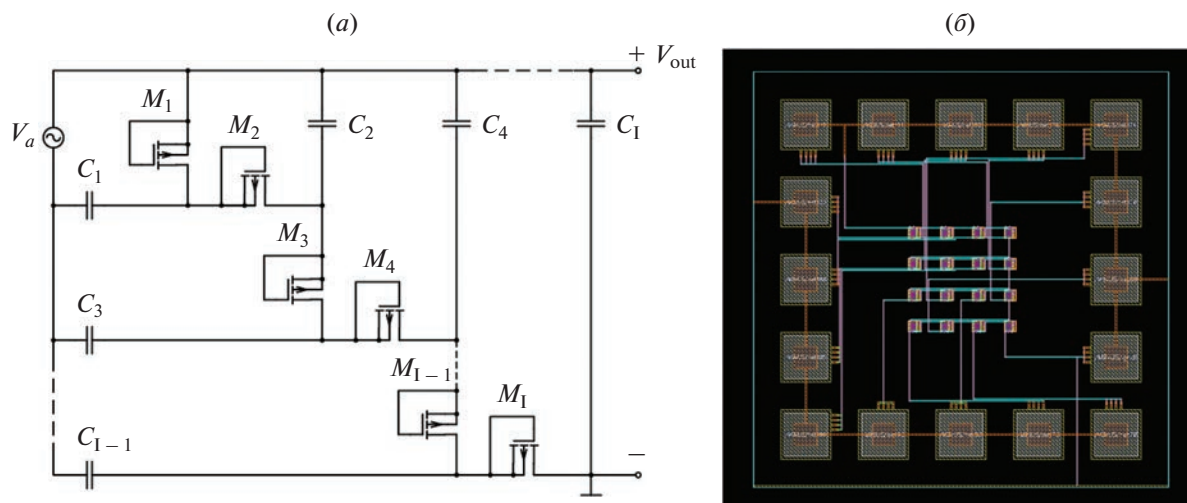


Рис. 1. Многокаскадный умножитель напряжения: (а) — принципиальная схема [16]; (б) — топология на восьми каскадах, реализованная по технологии HCMOS8D 180 нм (У2).

транзисторов из технологии CM018G (на 31%), что ведет к снижению потерь при процессах разрядки конденсаторов и к сокращению потребляемой мощности. Таким образом, можно сделать предположение, что МОП-транзисторы, представленные в технологии CM018G, в большей степени подходят для проектирования умножителей напряжения по сравнению с транзисторами, представленными в технологии HCMOS8D, однако последние также могут быть применимы. В этом случае при проектировании умножителя необходимо использовать высокопроизводительные транзисторы, характеризующиеся меньшими пороговыми напряжениями, несмотря на большие обратные токи (примерно на один-два порядка) по сравнению с транзисторами с малыми токами утечки. Что касается C250G, то, несмотря на большие значения минимальной длины затвора, транзисторы в этой технологии отличаются более низкими значениями порогового напряжения по сравнению с технологией HCMOS8D (почти на 100 мВ) и очень малыми значениями обратных токов, поэтому в тех случаях, когда при проектировании не требуется высокая степень интеграции и плотность упаковки технология C250G может составить достойную конкуренцию своим аналогам с меньшими проектными нормами.

3. ОСОБЕННОСТИ ТОПОЛОГИЧЕСКОГО ПРОЕКТИРОВАНИЯ УМНОЖИТЕЛЕЙ НАПРЯЖЕНИЯ

Представленный ранее [16] умножитель напряжения, схема которого показана на рис. 1а,

проектировался по технологии CM018G 180 нм (У1) и по технологии HCMOS8D 180 нм (У2) в САПР Cadence Virtuoso в полуавтоматическом режиме. Конструкция восьмикаскадного умножителя для обоих случаев реализации принципиально не отличается: в центре топологии размещены диодно-соединенные МОП-транзисторы, а по периметру распределены МИМ-конденсаторы. Разница заключается в том, что в топологии У2 (рис. 1б) несколько иначе выполнены трассировка шин, конфигурация транзисторов и подключение нижних обкладок конденсаторов к шинам.

В отличие от реализации умножителя У1 при построении топологии по технологии HCMOS8D учитывались рекомендации [20], согласно которым трассировочные шины, выполненные в слоях металла с нечетными номерами (1, 3 и так далее) ориентируют горизонтально, а с четным (2, 4 и так далее) — вертикально. Такая стратегия трассирования носит название HVN (Horizontal – Vertical – Horizontal), главная цель которой — существенное сокращение паразитных емкостей между участками металлизации, расположенными в соседних слоях друг над другом.

Значение параметра отношения ширины канала МОП-транзистора к его длине W/L выбиралось с точки зрения оптимизации между эффективностью умножения и занимаемой площадью на основании ранее полученных результатов [21], и в случае проектирования по технологии HCMOS8D было выбрано равным 50, что привело, с учетом длины канала транзистора $L = 180$ нм, к значению ширины $W = 9$ мкм. В данной разработке значение параметра, соответствующего числу “пальцев” (fingers) затвора транзистора, было выбрано

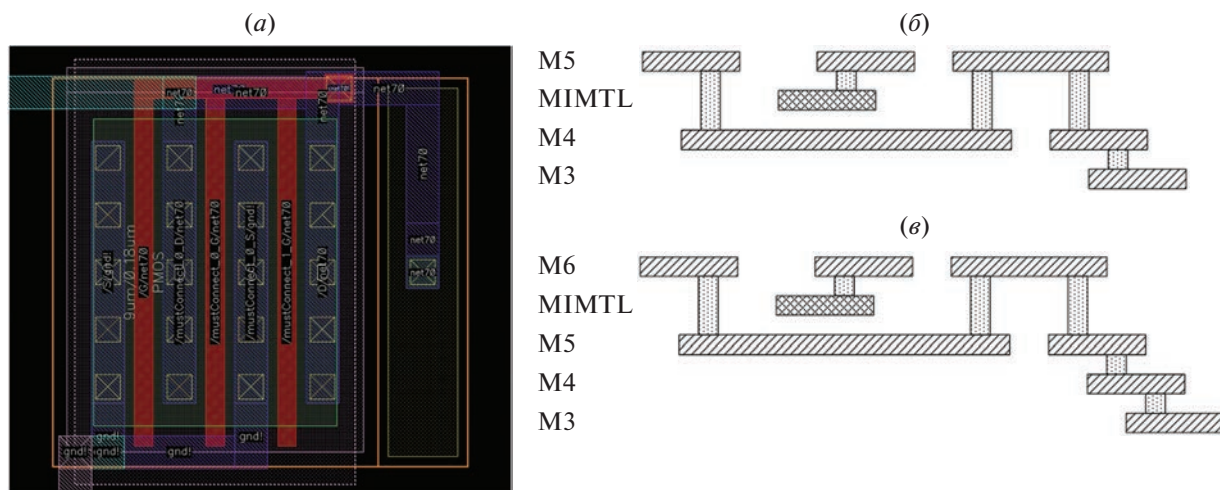


Рис. 2. Особенности проектирования топологии умножителя: многопальцевая структура затвора МОП-транзистора (а); конструктивное решение для предотвращения антенного эффекта в технологиях CM018G (б) и HCMOS8D (в).

равным трем (при проектировании умножителя У1 число “пальцев” оставалось равным одному). Структура с несколькими “пальцами” (рис. 2а) обычно применяется при относительно высоких значениях отношения W/L для увеличения компактности и достижения формы более удобной в процессе построения общей топологии. Действительно, несмотря на увеличение значения параметра W/L , что, согласно результатам из [21], должно привести к небольшому возрастанию эффективности умножения (по сравнению с $W/L = 35$ в случае У1) благодаря росту плотности тока при большей ширине канала, организация многопальцевой структуры позволила не только не увеличить, но даже сократить площадь, занимаемую единичным транзистором (с 35.49 до 15.43 мкм²).

В умножителе У2 несколько иначе по сравнению с исполнением У1 выполнены переходы между нижними обкладками конденсаторов и соответствующими выводами транзисторов (согласно схеме на рис. 1а). При соединении нижней обкладки с выводами транзисторов непосредственно при изготовлении микросхемы из-за так называемого антенного эффекта тонкий окисел между проводящим каналом и областью затвора транзистора может быть поврежден в процессе реактивного ионного травления [22]. Существует несколько подходов, позволяющих избежать возникновения антенного эффекта, один из которых заключается в подключении нижней обкладки посредством проводящих шин к транзисторам не напрямую, а через верхний слой металлизации, используемый при проектировании (М5 в CM018G, М6 в HCMOS8D), как показано

на рис. 2б, 2в, где MIMTL — это специальный технологический слой, в котором формируется верхняя обкладка конденсаторов типа “металл–изолятор–металл”. При проектировании умножителей напряжения в обоих случаях реализовывались описанные переходы, однако в умножителе У2 они выполнены более компактно.

С учетом сопоставимости технологических процессов, по которым разрабатывались умножители, и сходства параметров этих умножителей можно провести сравнение показателей качества спроектированных устройств. Площади обоих восьмикаскадных умножителей оказались сопоставимы ввиду схожести конструкций: 0.0286 мм² (У1) и 0.0225 мм² (У2). Для различных значений амплитуды входного напряжения на рис. 3а представлено сравнение значений выходного напряжения восьмикаскадных умножителей У1 и У2, а на рис. 3б — сравнение эффективности умножения напряжения этих умножителей, рассчитываемой по выражению [21]:

$$\eta = \frac{V_{\text{out, sim}}}{V_{\text{out, ideal}}} = \frac{V_{\text{out, sim}}}{2NV_a} \times 100\%, \quad (4)$$

где $V_{\text{out, sim}}$ — значение выходного напряжения, получаемое при моделировании.

В обоих случаях моделирование осуществлялось в САПР Cadence, в модуле Virtuoso ADE, с учетом экстрагированных из топологии паразитных составляющих. Сопротивление нагрузки умножителя во всех случаях задавалось равным 100 МОм. Как видно из рис. 3, выходные характеристики умножителя У1, во всем диапазоне ам-

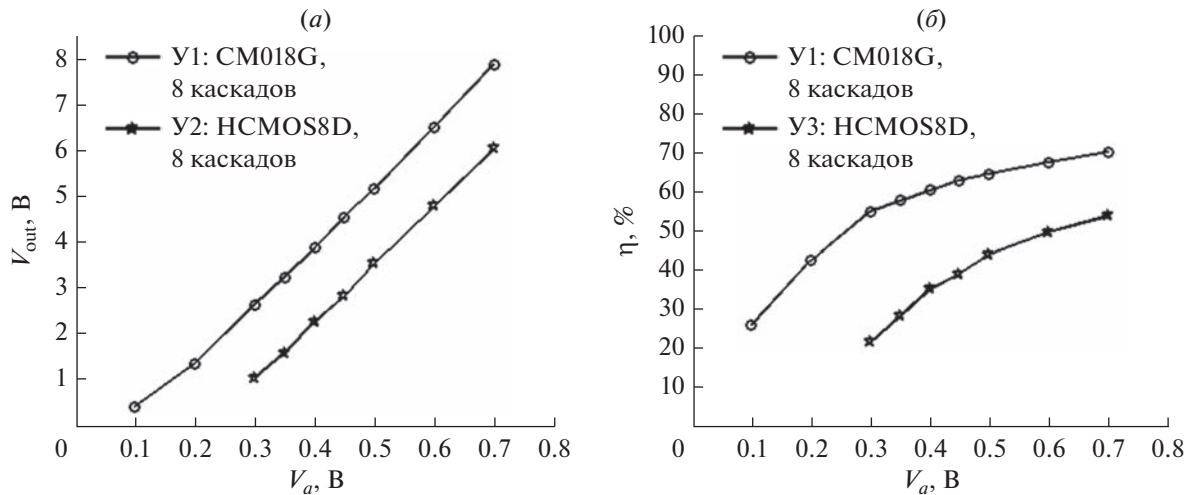


Рис. 3. Результаты моделирования восьмикаскадных умножителей, реализованных по технологиям КМОП 180 нм: (а) — зависимость выходного напряжения V_{out} от входной амплитуды V_a ; (б) — зависимость эффективности умножения напряжения η от входной амплитуды V_a .

плитуды входного напряжения превосходят характеристики умножителя У2, что объясняется в первую очередь большими значениями порогового напряжения МОП-транзисторов во втором случае. Оба устройства начинают выпрямлять напряжение еще в подпороговой области, однако чувствительность по входному напряжению у У1 выше и составляет порядка 0.1 В, в то время как у У2 значение этого показателя лежит в диапазоне от 0.25 до 0.3 В. То же касается и минимальной необходимой входной амплитуды для получения требуемого выходного напряжения: если принять за нужный выходной уровень 2 В (напряжение ядра в обеих технологиях составляет 1.8 В, однако нужно учитывать возможные потери на стабилизаторе напряжения), то умножитель У1 достигнет этого значения при 250 мВ на входе, а умножителю У2 потребуются $V_a = 375$ мВ. Из сравнения эффективности умножения следует, что для обоих умножителей минимальное значение этого показателя лежит в диапазоне от 20 до 25% (с учетом гораздо более высокой чувствительности У1), однако при 0.7 В на входе эффективность умножителя У2 достигает только 54%, в то время как эффективность У1 при такой высокой входной амплитуде составляет более 70%.

При проектировании микросхемы по технологии HCMOS8D помимо восьмикаскадного умножителя напряжения (У2) был также построен умножитель на шестнадцать каскадов (У3) для достижения более высоких уровней выходного напряжения, для достижения тех же уровней, что и при $N = 8$, но при более низких входных амплитудах, а также для исследования влияния числа

каскадов на эффективность умножения напряжения. Конструкция умножителя У3 была создана путем объединения двух ячеек умножителя У2 (рис. 4), что обеспечивалось удобной возможностью каскадирования умножителей, построенных на основе схемы Диксона. Площадь, занимаемая умножителем У3 на кристалле, составила 0.045 мм², что соответствует удвоенной площади восьмикаскадного умножителя. Зависимости выходного напряжения и эффективности умножения от входной амплитуды для умножителей, построенных по технологии HCMOS8D (У2 с $N = 8$ и У3 с $N = 16$), показаны на рис. 5а и 5б.

Из рис. 5а видно, что использование конструкции с шестнадцатью каскадами вместо восьми позволяет получать необходимое значение выпрямленного напряжения порядка 2 В при приблизительно 300 мВ на входе, а общая зависимость имеет характер близкий к линейному. Поскольку минимальное значение V_a , необходимое для получения нужного выходного уровня, при реализации умножителя на шестнадцати каскадах достигло значения близкого к чувствительности по входному напряжению, дальнейшее увеличение числа каскадов видится нецелесообразным при тех же технологии и требованиях по выходу.

Результаты, представленные на рис. 5б, свидетельствуют о том, что увеличение числа каскадов умножения не оказывает существенного влияния на эффективность умножения — разница по этому показателю между У2 и У3 составляет примерно от 1 до 3% для различных V_a , причем с увеличе-

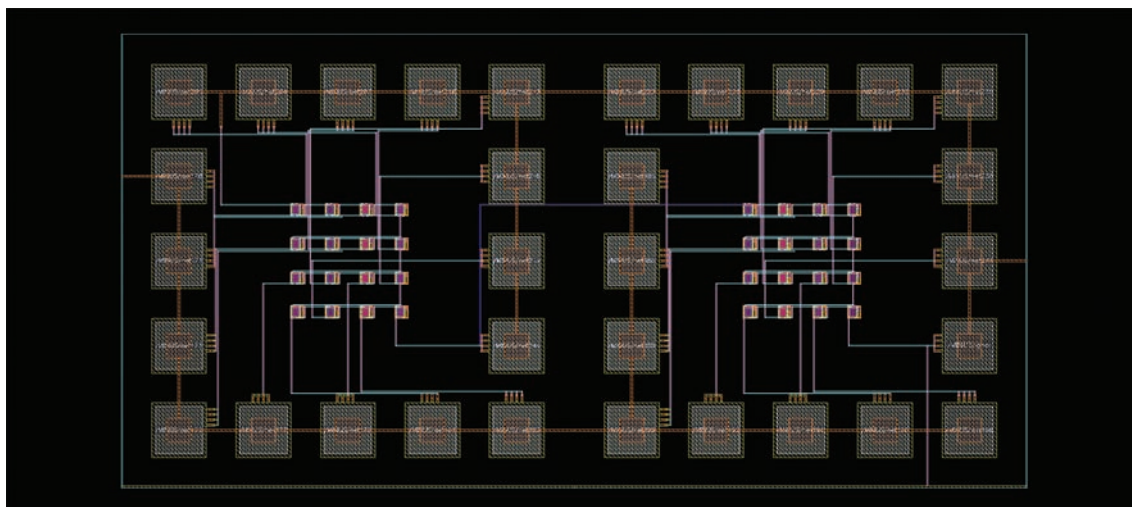


Рис. 4. Топология умножителя напряжения на шестнадцати каскадах (У3).

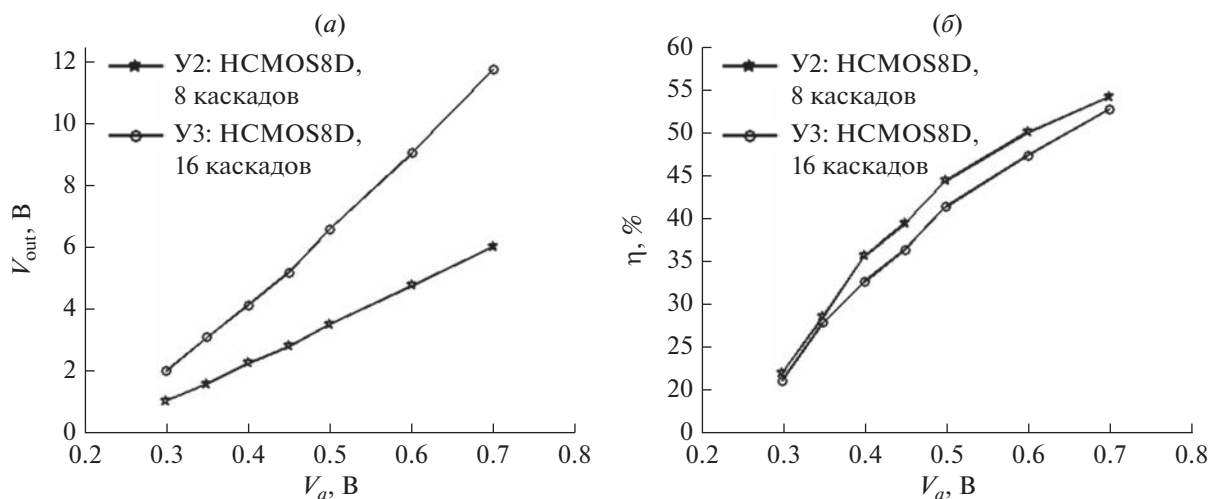


Рис. 5. Результаты моделирования умножителей при $N=8$ и $N=16$, построенных по технологии HCMOS8D: (а) — зависимость выходного напряжения V_{out} от входной амплитуды V_a ; (б) — зависимость эффективности умножения на напряжения η от входной амплитуды V_a .

нием N эффективность снижается, а не возрастает. Сохранение относительно высоких значений эффективности умножения при увеличении числа каскадов, то есть независимость эффективности от N , достигается за счет особого включения выводов транзисторов (рис. 1а) [21], благодаря чему значительно подавляется эффект подложки, негативно воздействующий на падения напряжения на МОП-транзисторах в диодном включении. При типовом включении транзисторов эффективность умножения резко снижается при увеличении числа каскадов [23], а небольшое, но все же ненулевое снижение эффективности в случае умножителя У3 может означать, что влияние эф-

фекта подложки пусть и существенно снижено, но не устранено окончательно.

4. РЕКОМЕНДАЦИИ ПО ПРОЕКТИРОВАНИЮ ИНТЕГРАЛЬНЫХ УМНОЖИТЕЛЕЙ НАПЯЖЕНИЯ

На основе результатов исследования и проектирования интегральных многокаскадных умножителей напряжения предлагаются практические рекомендации, которые могут оказаться полезными при дальнейших работах в этой области.

1. Существует несколько распространенных схем выпрямителей и умножителей напряжения, применяемых в маломощных приложениях (умно-

жители Диксона, Кокрофта–Уолтона, различные выпрямители с дифференциальным управлением и другие схемы), выбор которых обусловлен в первую очередь областью применения. Для беспроводных пассивных микроустройств, удаленных на существенное расстояние от источников излучения (метры или десятки метров) рекомендуется использовать схемы на основе умножителя Диксона, поскольку они просто каскадируются и позволяют получать нужные значения выходного напряжения при небольших входных амплитудах.

2. В случае реализации модуля питания по передовым технологиям, например КНИ или технологиям КМОП, включающим транзисторы с нулевым пороговым напряжением, могут быть достигнуты высокие выходные характеристики умножителей. Однако обеспечить необходимые технические требования возможно также с помощью более экономичных и доступных технологий, выпрямляющие компоненты в которых способны работать при напряжениях ниже порогового значения.

3. Если при проектировании существует возможность выбора типовой КМОП-технологии, по которой будет реализовываться интегральный модуль питания, в первую очередь следует обращать внимание на значение порогового напряжения наноразмерных МОП-транзисторов, которое оказывает критическое влияние на эффективность схем умножения. Другим важным параметром является отношение прямых и обратных токов транзисторов в диодном включении.

4. Выбор размеров МОП-транзисторов в диодном включении, обусловлен достижением компромисса между возрастанием зарядовых токов при увеличении ширины канала и ростом емкостных потерь и токов утечки. По результатам предыдущих исследований [21, 23] установлено, что оптимальные значения соотношения ширины канала транзистора к длине находятся в диапазоне от 35 до 50. Кроме того в случае высоких значений ширины канала рекомендуется реализовывать многопальцевую структуру затворов для удобства топологического размещения и для снижения общей паразитной емкости, связанной с обратно смещенным диодом в подложке [24] и негативно влияющей на параметр наклона подпороговой характеристики транзистора [25].

5. При интегральной реализации выпрямителей-умножителей накопительные конденсаторы и конденсаторы связи рекомендуется реализовывать в виде МІМ-конденсаторов, присутствующих в большинстве наноразмерных КМОП-технологий. Использование МІМ-конденсаторов,

номинал которых, согласно результатам более ранних исследований [21, 23], может варьироваться от 100 фФ до 1 пФ, позволяет получать необходимые значения емкости при относительно невысокой занимаемой площади.

6. Использование каскадируемых умножителей напряжения дает возможность получать более высокие значения выходного напряжения, однако в зависимости от используемой технологии, выпрямляющих компонентов, схемы включения и других факторов полезный эффект, достигаемый при увеличении числа каскадов может быть разным. Следует оценивать эффективность умножителя при увеличении числа каскадов, поскольку после определенного предела незначительный прирост выходного напряжения уже может не компенсировать другие параметры, например, занимаемую на кристалле площадь или время выхода на режим.

7. Повысить эффективность умножителей напряжения можно применив те или иные конструкторские и/или схематические решения, например, в предлагаемом умножителе реализовано особое включение *p*-канальных диодно-соединенных МОП-транзисторов для снижения влияния эффекта подложки при большом числе каскадов [26]. К другим широко распространенным решениям можно отнести различные методы схемной компенсации порогового напряжения и адаптивной подстройки структуры в зависимости от уровня входной мощности или нагрузочного тока.

ЗАКЛЮЧЕНИЕ

В работе представлены результаты проектирования интегральных многокаскадных умножителей напряжения по типовым технологиям КМОП с проектными нормами 180–250 нм. На основе анализа параметров МОП-транзисторов, представленных в различных технологиях, и результатов высокоточного компьютерного моделирования в САПР Cadence установлено, что наиболее высокие значения выходных характеристик умножителей среди рассмотренных технологий способна обеспечивать технология СМ018G, однако добиться требуемых значений характеристик возможно, реализуя микроустройства и по технологии НСМ08D. Показано, что для восьмикаскадного умножителя, реализованного по этой технологии, чувствительность по входному напряжению составляет менее 300 мВ, а минимальная амплитуда входного напряжения, при которой возможно достижение необходимого для ра-

боты микросхемы модуля питания уровня 2 В, составляет 375 мВ.

Рассмотрены преимущества интегральной имплементации модулей питания беспроводных микроустройств и особенности топологического проектирования интегральных умножителей напряжения, позволяющие снизить влияние паразитных эффектов на рабочие характеристики и уменьшить занимаемую площадь. Показано влияние числа каскадов умножителя на уровень выходного умножения и эффективность умножения. Значение необходимого минимального входного напряжения при реализации умножителя на шестнадцати каскадах удалось снизить до 300 мВ. На основе проведенных исследований и разработок сформулированы практические рекомендации, которые могут применяться при проектировании компонентов интегральных модулей питания безбатарейных устройств.

Работа выполнена в рамках проекта № FENW-2020-0022 “Разработка и исследование методов и средств мониторинга, диагностики и прогнозирования состояния инженерных объектов на основе искусственного интеллекта” по Заданию Минобрнауки России.

При выполнении работы использовались программно-аппаратные средства ЦКП “Микросистемная техника и электронная компонентная база” МИЭТ.

СПИСОК ЛИТЕРАТУРЫ

1. *Guler U., Jia Y., Ghovanloo M.* A Reconfigurable Passive Voltage Multiplier for Wireless Mobile IoT Applications // IEEE Transactions on Circuits and Systems – II: Express Briefs. 2020. V. 67. № 4. P. 615–619.
2. *Chun A.C.C., Ramiah H., Mekhilef S.* Wide Power Dynamic Range CMOS RF-DC Rectifier for RF Energy Harvesting System: A Review // IEEE Access. 2022. V. 10. P. 23948–23963.
3. *Li P. et al.* RF Energy Harvesting for Batteryless and Maintenance-Free Condition Monitoring of Railway Tracks // IEEE Internet of Things J. 2021. V. 8. № 5. P. 3512–3523.
4. *Charthad J. et al.* mm-Sized Wireless Implantable Device for Electrical Stimulation of Peripheral Nerves // IEEE Transactions on Biomedical Circuits and Systems. 2019. V. 12. № 2. P. 257–270.
5. *Takacs A. et al.* Recent Advances in Electromagnetic Energy Harvesting and Wireless Power Transfer for IoT and SHM Applications // 2017 IEEE International Workshop of Electronics, Control, Measurement, Signals and their Application to Mechatronics (ECMSM), Donostia. 2017. P. 1–4.
6. *Dickson J.F.* On-Chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Multiplier Technique // IEEE J. Solid-state Circuits. 1976. V. SC-11. № 3. P. 374–378.
7. *Curty J.-P. et al.* Remotely Powered Addressable UHF RFID Integrated System // IEEE Journal of Solid-State Circuits. 2005. V. 40. № 11. P. 2193–2202.
8. *Hong Y. et al.* Design of Passive UHF RFID Tag in 130 nm CMOS Technology // 2008 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS 2008), Macao. 2008. P. 1371–1374.
9. *Teh Y.-K. et al.* Design and Analysis of UHF Micropower CMOS DTMOST Rectifiers // IEEE Transactions on Circuits and Systems – II: Express Briefs. 2009. V. 56. № 2. P. 122–126.
10. *Yao Y. et al.* A Fully Integrated 900-MHz Passive RFID Transponder Front End With Novel Zero-Threshold RF-DC Rectifier // IEEE Transactions on Industrial Electronics. 2009. V. 56. № 7. P. 2317–2325.
11. *Fahsyar P.N.A., Soin N.* A Proposed Low Power Voltage Multiplier for Passive UHF RFID Transponder // 2010 IEEE International Conference on Semiconductor Electronics (ICSE2010), Malacca. 2010. P. 334–337.
12. *Yao W. et al.* Design of a passive UHF RFID tag for the ISO18000-6C protocol // J. Semiconductors. 2011. V. 32. № 5. Article 055009. P. 1–6.
13. *Mabrouki A., Latrach M., Lorrain V.* High Efficiency Low Power Rectifier Design using Zero Bias Schottky Diodes // 2014 IEEE Faible Tension Faible Consommation, Monaco. 2014. P. 1–4.
14. *Nicot J., Taris T.* Remote RF Powering of Ambient Sensors // 2016 IEEE International Conference on Electronics, Circuits and Systems (ICECS), Monte Carlo. 2016. 760–763.
15. *Wang X., Abdelatty O., Mortazawi A.* Design of a Wide Dynamic Range Rectifier Array with an Adaptive Power Distribution Technique // 2016 46th European Microwave Conference (EuMC), London. 2016. P. 922–925.
16. *Sinyukin A.S., Kovalev A.V.* Method for the Iterative Refinement of Parameter Values in Analytical Models of Microelectronic Devices Based on Integrated MOS Transistors // Russian Microelectronics. 2022. V. 51. № 6. P. 398–403.
17. Технологии [Электронный ресурс]: <https://www.mikron.ru/capabilities/technology> // Сайт группы компаний “Микрон” (дата обращения 02.06.2023).
18. 0.18-micron Technology [Электронный ресурс]: https://www.tsmc.com/english/dedicatedFoundry/technology/logic/1_018micron // TSCM Official Website (дата обращения 02.06.2023).
19. Новые микроэлектронные технологии [Электронный ресурс]: <https://nm-tech.org> // Сайт производителя микроэлектронных компонентов “НМ-Тех” (дата обращения 02.06.2023).
20. *Weste N.H.E., Harris D.M.* CMOS VLSI Design. A Circuits and Systems Perspective / N.H.E. Weste, D.M. Harris // Boston, Addison-Wesley, 2011. 839 p.
21. *Sinyukin A.S., Konoplev B.G.* Integrated CMOS Microwave Power Converter for Passive Wireless Devices //

- Russian Microelectronics. 2021. V. 50. № 3. P. 219–227.
22. *Fang S., McVittie J.P.* Thin-Oxide Damage from Gate Charging During Plasma Processing // IEEE Electron Device Letters. 1992. V. 13. № 5. P. 288–290.
23. *Синюкин А.С., Коноплев Б.Г., Ковалев А.В.* Преобразователь радиочастотной энергии на наноразмерных МОП-транзисторах для пассивных беспроводных приложений // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС), Москва. 2020. С. 218–223.
24. *Baker R.J.* CMOS: circuit design, layout, and simulation / R.J. Baker // Hoboken, Wiley, 2010. 1177 p.
25. *Dabhi C.K.* BSIM4 4.8.1 MOSFET Model / C.K. Dabhi, S.S. Parihar, H. Agrawal, N. Paydavosi., T.H. Morshed, D.D. Lu, W. Yang, M.V. Dunga, X. Xi, J. He, W. Liu, Kanyu, M. Cao, X. Jin, J.J. Ou, M. Chan // Berkeley, University of California, 2017, 185 p.
26. *Коноплев Б.Г., Синюкин А.С.* Умножитель напряжения для маломощных приложений. Патент РФ № 199930 от 29.09.2020.