——— ПРИБОРЫ ——

УДК 533.376

РАЗРАБОТКА ПРИБОРНОЙ СТРУКТУРЫ Ge-МДПТ С ИНДУКЦИРОВАННЫМ КАНАЛОМ *р*-ТИПА

© 2024 г. Н. А. Алябина¹, Е. А. Архипова², Ю. Н. Бузынин^{1, 2}, С. А. Денисов¹, А. В. Здоровейщев¹, А. М. Титова^{1, *}, В. Ю. Чалков¹, В. Г. Шенгуров^{1, **}

¹Нижегородский государственный университет им. Н.И. Лобачевского, Нижний Новгород, Россия ²Институт физики микроструктур РАН, Нижегородская обл., д. Афонино, Россия *E-mail: asya_titova95@mail.ru **E-mail: shengurov@phys.unn.ru Поступила в редакцию 27.02.2024 г. После доработки 25.03.2024 г. Принята к публикации 25.03.2024 г.

Определены условия роста методом HW CVD слоев Ge *n*-типа проводимости с параметрами, требуемыми для создания Ge-MДП-транзистора с индуцированным каналом *p*-типа. Оптимизированы условия осаждения методом электронно-лучевого осаждения и последующего отжига слоев подзатворного high-k диэлектрика ZrO₂:Y₂O₃, позволяющие достигнуть величины тока утечки 5×10^{-6} A/см². Для разработанной приборной структуры проведен расчет некоторых параметров Ge-MДП-транзистора, таких как длина канала, максимальное напряжение между стоком и истоком, пробивное напряжение.

Ключевые слова: МДП-транзистор, Ge/Si(001), HW CVD, high-k диэлектрик

DOI: 10.31857/S0544126924030077

1. ВВЕДЕНИЕ

Одной из важнейших задач современной полупроводниковой электроники является повышение быстродействия основных активных элементов интегральных схем (ИС), в первую очередь полевого транзистора с изолированным затвором (МДПТ) — базового прибора современных ИС. Таким прибором с начала 1960-х гг. является Si-МДПТ. Однако в настоящее время разработчики ведущих полупроводниковых фирм стали все чаше исследовать возможность использования в качестве материала для канала транзистора полупроводники с более высокой, чем у кремния, подвижностью носителей заряда [1, 2]. Таким материалом является германий, который имеет более высокую подвижность электронов (в 2 раза) и дырок (в 4 раза) по сравнению с кремнием.

На пути создания МДПТ важной проблемой, которую необходимо решить, является разработка подзатворного диэлектрика. По мере увеличения уровня интеграции традиционно используемый SiO₂ приводит к большим токам утечки, что требует его замены на диэлектрики с более высокими значениями диэлектрической постоянной (high-k материалы). Для создания подзатворного слоя в Ge-МДПТ большой интерес привлекают такие high-k диэлектрики, как HfO₂ [3], ZrO₂ [4—6], La₂O₃ [7] и Y₂O₃ [8], а также частично стабилизированный цирконий (YSZ) (ZrO₂)_{0.96}(Y₂O₃)_{0.04} [9—13]. Качественный подзатворный high-k диэлектрик и эффективная пассивация поверхности Ge являются ключом к созданию Ge-MДПТ с высокими рабочими характеристиками. Повышенные требования к структурным и электрофизическим параметрам слоев Ge, а также подзатворного high-k диэлектрика, для разработки Ge-MДПТ обуславливают поиск и оптимизацию условий их получения и характеризацию.

Целью данной работы является разработка условий получения методом HW CVD (англ. Hot Wire Chemical Vapor Deposition) совершенных гетероструктур *n*-Ge/Si(001) с высокими электрофизическими параметрами для создания Ge-МДПТ с индуцированным каналом *p*-типа, разработка условий электронно-лучевого осаждения слоев подзатворного high-k диэлектрика на основе ZrO₂ с высокими диэлектрическими характеристиками, а также проведение расчета некоторых параметров Ge-МДПТ с индуцированным каналом *p*-типа.

2. МЕТОДИКА ЭКСПЕРИМЕНТА

2.1. Методика осаждения слоев Ge n-типа проводимости

Нелегированные слои Ge. вырашенные на полложках Si(001), имеют проводимость *p*-типа. В то же время для Ge-МДПТ с индуцированным каналом *p*-типа требуются слои *n*-типа, имеющие концентрацию электронов в пределах $(1-5) \times 10^{16} \text{ см}^{-3}$. Осаждение таких слоев проводилось методом газофазного химического осаждения при термическом разложении моногермана (GeH₄) на горячей проволоке (HW CVD). В качестве материала горячей проволоки использовался тантал. Рост слоев Ge проводился на сильнолегированных сурьмой подложках Si(001) марки КЭС-0.01. После предэпитаксиального термического отжига подложки в течение 10 мин при температуре $T_{\rm c} = 1200$ °C ее температуру снижали до 450—600°С и растили буферный слой кремния методом сублимации кремниевого источника, вырезанного из слитка Si такой же марки, что и подложка. Затем температуру подложки снижали до 300°С, напускали в камеру роста моногерман (GeH_4) до давления (4—6) × 10⁻⁴ Торр, нагревали Танить до 1400°С и растили эпитаксиальный слой Ge.

2.2. Осаждение слоев подзатворного high-k диэлектрика

В качестве подзатворного диэлектрика мы использовали частично стабилизированный цирконий (ZrO₂)_{0.96}(Y₂O₃)_{0.04}. Слои (ZrO₂)_{0.96}(Y₂O₃)_{0.04} толщиной 50 нм были получены методом электронно-лучевого осаждения на установке AMOD 206 со скоростью 2 А/с без использования дополнительного подогрева подложек. Перед осаждением слоев $(ZrO_2)_{0.96}(Y_2O_3)_{0.04}$ гетероструктуры Ge/ Si(100) были очищены в ацетоне и спирте в течение 5 мин и промыты в деионизированной воде. Для удаления поверхностного естественного оксида (GeO_x) с поверхности эпитаксиального слоя Ge гетероструктуру погружали в разбавленный раствор HCl (30% об/об) на 60 с. затем промывали в деионизированной воде с последующей сушкой в N₂. Для изучения влияния термообработки на параметры слоев диэлектрика проводился их отжиг на воздухе, а также в потоке O_2 в специальной печи при температуре 400 или 600°C.

Формирование затвора МДПТ заключалось в термическом напылении на поверхность слоя Zr_2O_3 : Y_2O_3 алюминиевого контакта через маску с окном диаметром 500—600 мкм.

Электрофизические параметры эпитаксиальных слоев Ge на Si(001) исследовали методом Baн дер Пау при комнатной температуре на установке Nanometrics H5500PC. Диэлектрические характеристики слоев ZrO₂:Y₂O₃ изучались методом вольт-амперных характеристик (BAX) на той же установке Nanometrics H5500PC.

3. РЕЗУЛЬТАТЫ ЭКСПЕРИМЕНТА И ИХ ОБСУЖДЕНИЕ

3.1. Эпитаксиальные слои п-Ge

В результате проведенных исследований найдены условия получения слоев Ge/Si(001) с параметрами, необходимыми для создания приборной структуры Ge-МДПТ с индуцированным каналом р-типа. Толщина слоев составляла 0.65 мкм, а концентрация электронов — 5×10^{16} см⁻³. Выбор достаточно большой толшины слоя Ge обусловлен тем обстоятельством, что, как нами было показано ранее, большая часть структурных дефектов концентрируется в области 100-150 нм, находящейся непосредственно у гетерограницы с Si-подложкой [14]. Эти дефекты могут негативно сказаться на транспортных характеристиках слоя Ge, что затруднит его применение в качестве канала транзистора. Для нашей приборной структуры, имеющей толщину слоя Ge 0.65 мкм, область канала будет удалена от гетерограницы Ge/Si. Распределение концентрации электронов по толщине слоя Ge, выращенного на Si-подложке марки КЭС-0.01, приведено на рис. 1.

Образование эпитаксиальных слоев Ge *n*-типа проводимости в процессе осаждения их методом HW CVD на сильнолегированных сурьмой подложках Si(001) по нашему мнению обусловлено следующим.

В процессе высокотемпературного (~1200°С) предэпитаксиального отжига Si-подложки эта примесь будет испаряться из Si-подложки, поскольку



Рис. 1. Распределение концентрации электронов по толщине эпитаксиального слоя Ge, выращенного на подложке марки КЭС-0.01.

давление пара Sb при такой температуре отжига на несколько порядков величины выше, чем у Si. В результате примесь Sb, выходя на поверхность Si-подложки, захватывается растущим буферным слоем Si, который преднамеренно легируется этой же примесью из сублимирующего источника. За счет склонности сурьмы к сегрегации в процессе низкотемпературного (~500—600°С) роста слоев Si методом МЛЭ [15—17] она накапливается на поверхности растущего слоя. После снижения температуры подложки до ~300°С накопленная на поверхности буферного слоя примесь (Sb) начинает внедряться в слой Ge. Отметим также, что однородному распределению примеси Sb по толщине слоев Ge способствует сурфактант — атомарный водород, образующийся при пиролизе GeH₄.

3.2. Подзатворный диэлектрик

Диэлектрические характеристики подзатворного диэлектрика $(ZrO_2)_{0.96}(Y_2O_3)_{0.04}$ оценивались при исследовании МДП-структуры, схема которой приведена на рис. 2.

Установлено, что осажденные слои $(ZrO_2)_{0.96}(Y_2O_3)_{0.04}$ имеют высокие токи утечки 10^{-3} A/см², которые снижаются после проведения высокотемпературного отжига в кислороде (600°С в течение 1 ч). Оптимизация условий осаждения и отжига слоев $(ZrO_2)_{0.96}(Y_2O_3)_{0.04}$ позволила снизить ток утечки до величины 3×10^{-6} A/см² при напряжении на затворе -1 B (рис. 3).

3.3. Расчет параметров Ge-МДПТ с индуцированным каналом p-типа на структурах n-Ge/Si (100)

Расчет длины канала. Оценка минимальной длины канала, при которой транзистор считается длинноканальным, производится по формуле

$$l_{\min} = k \left[x_{p-n} \delta_{\mathfrak{A}} \left(\delta_{\mathfrak{H}} - \delta_{\mathfrak{c}} \right)^2 \right]^{\frac{1}{3}}, \qquad (1)$$



Рис. 2. Схема МДП-структуры.

МИКРОЭЛЕКТРОНИКА том 53 № 3 2024

где k = 8.62 мкм^{-1/3}; x_{p-n} — глубина залегания p *n*-перехода истока и стока — 0.5 мкм; δ_{n} — толщина слоя диэлектрика под затвором — 0.05 мкм; δ_{u} и δ_{c} — толщины p—*n*-переходов истока и стока, см, рассчитываемые в приближении резкого несимметричного перехода;

$$\delta_{\rm H} = \sqrt{\frac{2\varepsilon_{si}\varepsilon_0 \left(\phi_{\rm KH\Pi} - U_{\rm H\Pi}\right)}{qN}}; \tag{2}$$

$$\delta_{\rm c} = \sqrt{\frac{2\varepsilon_{si}\varepsilon_0 \left(\phi_{\rm KC\Pi} - U_{\rm c\Pi}\right)}{qN}},\tag{3}$$

где ε_{si} — диэлектрическая постоянная германия, равная 16; ε_0 — диэлектрическая постоянная, равная 8.85 × 10⁻¹⁴ Ф × см⁻¹; q — заряд электрона (1.6 × 10⁻¹⁹ Кл); N — концентрация примеси в слое (5 × 10¹⁶ см⁻³); $\varphi_{кип}$ — контактная разность потенциалов между истоком и подложкой;

$$\varphi_{\rm KMII} = \frac{kT}{q} \ln \frac{N_u N}{n_{i0}^2}.$$
 (4)

Контактная разность потенциалов между стоком и подложкой

$$\varphi_{\rm KC\Pi} = \frac{kT}{q} \ln \frac{N_c N}{n_{i0}^2},\tag{5}$$

где *k* — постоянная Больцмана; *T* — температура, К. Для нашей приборной структуры:

N — концентрация примеси в слое — 5×10^{16} см⁻³;



Рис. 3. Вольт-амперная характеристика МДП-структуры с подзатворным диэлектриком $(ZrO_2)_{0.96}(Y_2O_3)_{0.04}$ толщиной 50 нм после отжига в кислороде при 600°С в течение 1 ч.

 $N_{\rm u}$ — концентрация примесей в области истока — 10^{19} см⁻³;

 $N_{\rm c}$ — концентрация примеси в области стока —
10¹⁹ см $^{-3};$

 n_{i0} — концентрация собственных носителей в эпитаксиальном слое Ge нашей приборной структуры — 2.5 × 10¹³ см⁻³;

ε — диэлектрическая постоянная германия — 16.

Проведенный расчет дает значение минимальной длины канала $l_{\min} = 0.912$ мкм. Использование канала значительно большей длины (5—10 мкм) позволяет нам рассчитывать на отсутствие влияния на параметры МДП-транзистора короткоканальных эффектов.

Расчет максимального напряжения между истоком и стоком. Удельное сопротивление полупроводника определяется, в первую очередь, концентрацией введенных в него примесей. В нашем случае для эпитаксиального слоя Ge при $N = 5 \times 10^{16}$ см⁻³ значение удельного сопротивления составляет 0.1 Ом × см (кривая Ирвина). Удельное сопротивление слоя Ge определяет ряд важных параметров МДП-транзистора: максимальное напряжение между стоком и истоком и пороговое напряжение.

Максимальное напряжение между истоком и стоком определяется минимальным из двух напряжений: напряжение смыкания стокового и истокового переходов и пробивное напряжение стокового перехода.

Напряжение смыкания стокового и истокового переходов для однородно легированного слоя можно оценить, используя следующее соотношение:

$$U_{\rm CH.CM} \approx \frac{qNl^2}{2\varepsilon_n \varepsilon_0}.$$
 (6)

Максимальное напряжение между стоком и истоком определяется минимальным из напряжений: пробивным напряжением стокового перехода или напряжением смыкания областей ОПЗ стокового и истокового переходов.

В нашем случае при $N = 5 \times 10^{16}$ см⁻³, ε_{Ge} — диэлектрическая постоянная германия — 16.0 и l = 5 мкм получаем $U_{cu.cm} = 73.5$ В.

Концентрации примесей выбираются таким образом, чтобы напряжение смыкания $U_{\rm си.см}$ было в 1.3—1.5 раз больше заданного допустимого напряжения между стоком и истоком $U_{\rm си.макc}$:

$$U_{\rm cu.cm} = (1.3 - 1.5) U_{\rm cu.makc.}$$
(7)

Пробивное напряжение рассчитывается по формуле

$$U_{\rm проб} = 60 \left(\frac{E_g}{1.1}\right)^{3/2} \left(\frac{N}{10^{16}}\right)^{-3/4}.$$
 (8)

где E_g — ширина запрещенной зоны, эВ; N — концентрация примесей в эпитаксиальном слое, см⁻³.

Проводя расчет при $E_g = 0.67$ эВ и $N = 5 \times 10^{16}$ см⁻³, получаем $U_{\rm про5} = 36.5$ В.

ЗАКЛЮЧЕНИЕ

Методом HW CVD выращены совершенные по структуре эпитаксиальные слои Ge/Si(001) с высокими электрофизическими параметрами. Электронный тип проводимости слоев Ge с концентрацией электронов (5 × 10^{16} см⁻³), требуемый для создания Ge-MДП-транзистора с индуцированным каналом *p*-типа, достигнут за счет внедрения атомов сурьмы в слои Ge при их выращивании на поверхности подложки Si, обогащенной этой примесью после отжига.

В результате разработки и оптимизации условий роста получена приборная структура *n*-Ge/Si(001) со следующими параметрами: толщина слоя *n*-Ge — 0.65 мкм; концентрация электронов в слое Ge — 5×10^{16} см⁻³; концентрация акцепторной примеси в областях истока и стока — 10^{19} см⁻³; глубина залегания *p*-*n*-переходов истока и стока — 0.2 мкм; толщина подзатворного диэлектрика (ZrO₂)_{0.96}(Y₂O₃)_{0.04} — 50 нм.

Для данной структуры проведен расчет некоторых параметров Ge-МДП-транзистора с индуцированным каналом *p*-типа: длина канала — 5 мкм; максимальное напряжение между стоком и истоком $U_{проб} = 36.5$ B; пробивное напряжение — 36.5 B.

Использование в Ge-МОП-транзисторе диэлектрического слоя $ZrO_2:Y_2O_3$ позволило достигнуть минимальных токов утечки ~ 5 \times $10^{-6}~A/cm^2.$

Приведенные результаты говорят о хороших перспективах применения полученных гетероструктур n-Ge/Si со слоем high-k диэлектрика ZrO_2 : Y_2O_3 для создания Ge-MДПТ с индуцированным каналом p-типа.

КОНФЛИКТ ИНТЕРЕСОВ

Авторы заявляют, что у них нет конфликта интересов.

ФИНАНСИРОВАНИЕ РАБОТЫ

Работа выполнена при поддержке Российского научного фонда (22-22-00866).

СПИСОК ЛИТЕРАТУРЫ

- 1. *Неизвестный И.М.* Германиевый полевой транзистор с изолированным затвором (Ge МДПТ) // Вестник СибГУТИ. 2009. № 3. С. 5—9.
- Goley P.S., Mantu K.H. Germanium Based Field-Effect Transistor: Challenges and Opportunities // Materials. 2014. № 7. C. 2301–2339.

МИКРОЭЛЕКТРОНИКА том 53 № 3 2024

262

- Yi S.H., Chang-Liao K.S., Wu T.Y., Hsu C.W., Huang J. High performance Ge pMOSFETs with HfO₂/Hf-Cap/GeO_x gate stack and suitable post metal annealing treatments // IEEE Trans Electron Devices. 2017. № 37. P. 544–547.
- 4. *Liu H., Han G., Liu Y., Hao Y.* High Mobility Ge pMOSFETs with ZrO₂ Dielectric: Impacts of Post Annealing Nanoscale Research Letters. 2019. V. 14. P. 202.
- Shin Y., Chung W., Seo Y., Lee C.H., Sohn D.K., Cho B.J. Demonstration of Ge pMOSFETs with 6 Å EOT using TaN/ZrO₂/Zr-cap/n-Ge(100) gate stack fabricated by novel vacuum annealing and in-situ metal capping method // IEEE Symposium on VLSI Technology. 2014. P. 82–83.
- 6. Lin C.M., Chang H.C., Chen Y.T., Wong I.H., Lan H.S., Luo S.J., Lin J.Y., Tseng Y.J., Liu C.W., Hu C., Yang F.L. Interfacial layer-free ZrO₂ on Ge with 0.39-nm EOT, $\varkappa \sim 43$, $\sim 2 \times 10^{-3}$ A/cm² gate leakage, SS = 85 mV/dec, Ion/Ioff = 6×10^5 , and high strain response. Electron Devices Meeting (IEDM) // 2012 IEEE International. 2012. P. 23.2.1–23.2.4.
- Henkel C., Abermann S., Bethge O., Pozzovivo G., Klang P., Reiche M., Bertagnolli E. Ge p-MOSFETs with scaled ALD La₂O₃/ZrO₂gate dielectrics // IEEE Trans Electron Devices. 2010. V. 57. P. 3295–3302.
- Seo Y., Lee T.I., Yoon C.M., Park B.E., Hwang W.S., Kim H. The impact of an ultrathin Y₂O₃ layer on GeO₂ passivation in Ge MOS gate stacks // IEEE Trans Electron Devices. 2017. V. 64. P. 3303–3307.
- Kamata Y. High-k/Ge MOSFETs for Future Nanoelectronics // Materials today. 2008. V. 11. Nos. 1-2 P. 31–38.

- Wu N., Zhang Q., Chan D.S.H., Balasubramanian N., Zhu C. Gate-First germanium nMOSFET with CVD HfO₂ gate dielectric and silicon surface passivation // IEEE Electron Device Letters. 2006. V. 27. № 6. P. 479–491.
- 11. *Kamata Y*. High-k/Ge MOSFETs for future nanoelectronics // Materials Today. 2008. V. 11. № 1. P. 30–38.
- Buzynin A.N., Osiko V.V., Buzynin Y.N. Fianite: a multipurpose electronics material // Bulletin of the Russian Academy of Sciences: Physics. 2010. V. 74. № 7. P. 1027–1033.
- 13. *Buzynin A.N., Buzynin Y.N., Panov V.A.* Applications of Fianite in Electronics. Advances in OptoElectronics. Vol. 2012. P. 23.
- Buzynin Y., Shengurov V., Zvonkov B., Buzynin A., Denisov S., Baidus N., Drozdov M., Pavlov D., Yunin P. GaAs/Ge/Si Epitaxial Substrates: Development and Characteristics. Green and Sustainable Chemistry. 2017. V. 7. № 3. 015304.
- Титова А.М., Денисов С.А., Чалков В.Ю., Алябина Н.А., Здоровейщев А.В., Шенгуров В.Г. Распределение концентрации носителей заряда в эпитаксиальных слоях Ge и GeSn, выращенных на n⁺-Si(001)-подложках // Физика и техника полупроводников. 2022. V. 56. № 9 Р. 339—343.
- Bean J.C., Leamy H.J., Poate J.M., Rozgonyi G.A., Sheng T.T., Williams J.S., Celler G.K. Epitaxial laser crystallization of thin-film amorphous silicon // Applied Physics Letters. 1978. V. 33. P. 227–230.
- 17. Никифоров А.И., Кантер Б.З., Стенин С.И. Получение многослойных кремниевых структур методом молекулярно-лучевой эпитаксии // Электронная промышленность. 1989. № 6. Р. 3—5.

Development of the Ge-MDST instrument structure with an induced *p*-type channel

© 2024 N. A. Alyabina¹, E. A. Arkhipova², Yu. N. Buzynin^{1, 2}, S. A. Denisov¹, A. V. Zdoroveishchev¹, A. M. Titova^{1, *}, V. Yu. Chalkov¹, V. G. Shengurov^{1, **}

¹Nizhegorodsky State University named after N.I. Lobachevsky, Nizhny Novgorod, Russia ²Institute of Microstructure Physics of the Russian Academy of Sciences, Afonino, Russia *E-mail: asya_titova95@mail.ru **E-mail: shengurov@phys.unn.ru

The conditions for the growth of *n*-type Ge conduction layers by the HW CVD method with the parameters required to create a Ge-TIR transistor with an induced *p*-type channel are determined. The conditions of deposition by electron beam deposition and subsequent annealing of layers of a high-k dielectric ZrO_2 : Y_2O_3 are optimized, allowing to achieve a leakage current of 5×10^{-6} A/cm². For the developed instrument structure, some parameters of the Ge-TIR transistor were calculated, such as the channel length, the maximum voltage between the drain and the source, and the breakdown voltage.

Keywords: MDS-transistor, Ge/Si(001), HW CVD, high-k dielectric

REFERENCES

- 1. *Neizvestny I.M.* Germanium field-effect transistor (Ge MOSFET) // Bulletin of SibGUTI. 2009. No. 3. P. 5–9.
- Goley P.S., Hudait M.K. Germanium Based Field-Effect Transistor: Challenges and Opportunities. Materials 2014. V.7. P. 2301–2339. DOI: 10.3390/ma7032301.
- Yi S.H., Chang-Liao K.S., Wu T.Y., Hsu C.W., Huang J. High performance Ge pMOSFETs with HfO₂/Hf-Cap/GeO_x gate stack and suitable post metal annealing treatments // IEEE Trans Electron Devices. 2017. V. 37. No. 7. P. 544–547. DOI: 10.1109/ LED.2017.2686400.
- Liu H., Han G., Liu Y., Hao Y. High Mobility Ge pMOSFETs with ZrO₂ Dielectric: Impacts of Post Annealing Nanoscale Research Letters 2019. V. 14. P. 202. DOI: 10.1186 / s11671-019-3037-4.
- Shin Y., Chung W., Seo Y., Lee C.H., Sohn D.K., Cho B.J. Demonstration of Ge pMOSFETs with 6 Å EOT using TaN/ZrO₂/Zr-cap/n-Ge(100) gate stack fabricated by novel vacuum annealing and in-situ metal capping method // IEEE Symposium on VLSI Technology. 2014. P. 82–83. DOI: 10.1109/ VLSIT.2014.6894377.
- 6. Lin C.M., Chang H.C., Chen Y.T., Wong I.H., Lan H.S., Luo S.J., Lin J.Y., Tseng Y.J., Liu C.W., Hu C., Yang F.L. Interfacial layer-free ZrO₂ on Ge with 0.39-nm EOT, $\varkappa \sim 43$, $\sim 2 \times 10^{-3}$ A/cm² gate leakage, SS = 85 mV/dec, Ion/Ioff = 6×10^{5} , and high strain response. Electron Devices Meeting (IEDM) // 2012 IEEE International. 2012. P. 23.2.1–23.2.4.
- Henkel C., Abermann S., Bethge O., Pozzovivo G., Klang P., Reiche M., Bertagnolli E. Ge p-MOSFETs with scaled ALD La₂O₃/ZrO₂gate dielectrics // IEEE Trans Electron Devices. 2010. V.57. P. 3295–3302. DOI: 10.1109/TED.2010.2081366.
- Seo Y., Lee T.I., Yoon C.M., Park B.E., Hwang W.S., Kim H. The impact of an ultrathin Y₂O₃ layer on GeO₂ passivation in Ge MOS gate stacks // IEEE Trans Electron Devices. 2017. V. 64. P. 3303–3307.

- Kamata Y. High-k/Ge MOSFETs for Future Nanoelectronics // Materials today. 2008. V. 11. Nos. 1-2. P. 31–38. DOI: 10.1016/S1369-7021 (07)70350-4.
- Wu N., Zhang Q., Chan D.S.H., Balasubramanian N., Zhu C. Gate-First germanium nMOSFET with CVD HfO₂ gate dielectric and silicon surface passivation // IEEE Electron Device Letters. 2006. V. 27. No. 6. P. 479–491. DOI: 10.1109/LED.2006.874209.
- Kamata Y. High-k/Ge MOSFETs for future nanoelectronics // Materials today. 2008. V. 11. No. 1. P. 30– 38. DOI: 10.1016/S1369-7021 (07)70350-4.
- Buzynin A.N., Osiko V.V., Buzynin Y.N. Fianite: a multipurpose electronics material // Bulletin of the Russian Academy of Sciences: Physics. 2010. V. 74. No. 7. P. 1027–1033. DOI: 10.3103/S1062873810070300.
- Buzynin A.N., Buzynin Y.N., Panov V.A. Applications of Fianite in Electronics. Advances in OptoElectronics V. 2012. P. 23. DOI: 10.1155/2012/907560.
- Buzynin Y., Shengurov V., Zvonkov B., Buzynin A., Denisov S., Baidus N., Drozdov M., Pavlov D., Yunin P. GaAs/Ge/Si Epitaxial Substrates: Development and Characteristics. Green and Sustainable Chemistry. 2017. V. 7. No. 1. P. 015304. DOI: 10.1063/1.4974498.
- Titova A.M., Denisov S.A., Chalkov V.Yu., Alyabina N.A., Zdoroveishchev A.V., Shengurov V.G. Distribution of charge carrier concentrations in epitaxial layers of Ge and GeSn grown on n⁺-Si(001) substrates // Physics and Technology of semiconductors. 2022. V. 56. No. 9. P. 339–343. DOI: 10.21883/ FTP.2022.09.53401.36.
- Bean J.C., Leamy H.J., Poate J.M., Rozgonyi G.A., Sheng T.T., Williams J.S., Celler G.K. Epitaxial laser crystallization of thin-film amorphous silicon // Applied Physics Letters. 1978. V. 33. P. 227–230. DOI: 10.1063/1.90324.
- Nikiforov A.I., Kanter B.Z., Stenin S.I. Obtaining multilayer silicon structures by molecular beam epitaxy // Electronic Industry. 1989. No. 6. P. 3–5.