——— ПАМЯТЬ ——

УДК 53.06

# СТРУКТУРА И ФОРМИРОВАНИЕ ЭНЕРГОНЕЗАВИСИМЫХ ЯЧЕЕК ПАМЯТИ SUPERFLASH

© 2024 г. Д. А. Абдуллаев<sup>1, \*</sup>, Е. В. Боброва<sup>1</sup>, Р. А. Милованов<sup>1</sup>

<sup>1</sup>Институт нанотехнологий микроэлектроники Российской академии наук, Москва, Россия

\**E-mail: abdullaev.d@inme-ras.ru* Поступила в редакцию 26.12.2023 г. После доработки 20.02.2024 г. Принята к публикации 20.02.2024 г.

Технология встроенной Flash-памяти с расщепленным затвором существует уже несколько десятилетий и стала стандартом применения для широкого спектра устройств, например микроконтроллеров и смарт-карт. Среди них, благодаря ряду преимуществ, наибольшее распространение получила технология энергонезависимой памяти SuperFlash компании Silicon Storage Technology. В данной статье представлены результаты исследования структуры ячеек памяти, подробно рассмотрен принцип их работы и основные технологические этапы производственного процесса формирования транзисторных структур.

*Ключевые слова:* встроенная память, SuperFlash, ячейка памяти, расщепленный затвор, плавающий затвор

DOI: 10.31857/S0544126924030061

#### 1. ВВЕДЕНИЕ

Подавляющее большинство современных микроконтроллеров имеют в своем составе три типа памяти: оперативную, память программ и память данных. К данным типам памяти предъявляются разные требования и если для оперативной памяти приоритетным является скорость программирования/чтения, то для памяти программ и данных энергонезависимость. На сегодняшний день массово производится множество типов программируемой твердотельной энергонезависимой памяти (англ. solid-state nonvolatile memory — NVM), имеющих разную конструкцию и основанные на различных принципах работы, среди которых есть нишевые типы, такие как резистивная память (англ. Resistive RAM — RRAM или ReRAM), сегнетоэлектрическая память (англ. Ferroelectric RAM – FRAM или FeRAM), память на основе фазового перехода (англ. Phase-change RAM — PRAM или PCRAM), магниторезистивная память (англ. Magnetoresistive RAM - MRAM), в том числе на переносе спинового момента (англ. Spin-transfer torque RAM — STT-RAM) и исторически получившая наибольшее распространение полупроводниковая память с плавающим затвором (англ. floating-gate-based memory), принцип работы которой основан на хранение заряда [1-4].

Одной из разновидностей ячеек памяти (ЯП) с плавающим затвором является ЯП на основе

транзисторов с расщепленным затвором (англ. split gate), среди которых наиболее широкое распространение получила технология SuperFlash (далее SF), разработанная американской компанией Silicon Storage Technology, Inc. (часть компании Microchip Technology Inc.) в 1989 г. (первое поколение ЯП). В настоящее время известны три поколения данной технологии, разработка и внедрение которых происходили в соответствии с развитием технологий полупроводникового производства. Схематичные изображения ячеек памяти (ЯП) SF всех поколений, а также их рабочие напряжения приведены на рис. 1. Ячейки типа SF 1-го и 2-го поколений имеют схожую конструкцию и представляют собой МОП-транзистор с расщепленным затвором, при этом плавающий затвор (ПЗ) (англ. floating gate — FG) смещен относительно управляющего затвора (УЗ) (англ. control gate — CG) таким образом, что одна часть канала транзистора перекрывается только ПЗ, вторая — ПЗ и УЗ, а третья — только УЗ. Исток (англ. source) транзистора заземлен либо через легированную область кремния, либо через поликремневый контакт истоковой линии (ИЛ) (англ. source line — SL), сток (англ. drain) подключен к битовой линии (БЛ) (англ. bit line — BL), а УЗ — к словарной линии (СЛ) (англ. word line — WL). Конструкция ЯП SF 3-го поколения претерпела значительные изменения, и, в отличие от предыдущих поколений, не предусматривает наличия расщепленного затвора, однако в нее

были добавлены дополнительных два затвора — затвор связи (ЗСв) (англ. coupling gate — CpG) и стирающий затвор (C3) (англ. erase gate – EG), что позволило значительно сократить латеральные размеры ячейки памяти и упростить управление итоговым запоминающим устройством [2, 5-10]. Стоит отметить, что затворы ЯП 1-го и 2-го поколений выполнены на основе поликристаллического кремния (далее — поликремния), а в SF 3-го поколения часть затворов может быть выполнены на основе металла (англ. metal gate).

#### 2. ПРИНЦИП РАБОТЫ ЯП SUPERFLASH

После разработки в 1989 г. ЯП SF 1-го поколения составили конкуренцию ячейкам с многоуровневым затвором (англ. stack gate) типа ETOX, MoneT и CHISEL. При сопоставимых латеральных размерах, в ЯП SF почти исключается возможность утечки заряда и/или неконтролируемого перепрограммирования ячейки в момент чтения (общая проблема ЯП с многоуровневым затвором), что достигается сравнительно большей толщиной подзатворного диэлектрика (диоксида кремния) в ЯП SF. обеспечивающего гораздо меньшую восприимчивость к дефектам и повреждениям данного слоя, которые могут привести к возникновению утечек и, в конечном счете, к потере данных в ячейке. Также структура транзистора с расщепленным затвором по своей сути является усовершенствованным и значительно более компактным вариантом

двухтранзисторной ЯП типа FLOTOX, в которой каналы транзисторов выборки и хранения объединены в один. Данная конструктивная особенность позволила ячейкам SF занять свою нишу в решениях многих полупроводниковых производителей [2, 5, 6].

Программирование ячеек SF с расщепленным затвором (1-е и 2-е поколение) осуществляется инжекшией горячих электронов из канала со стороны стока в ПЗ, а стирание выполняется на основе эффекта туннелирования Фаулера-Нордхейма (FN-туннелирование) электронов из ПЗ в УЗ. Стоит отметить, что туннелирование осуществляется с заостренного края ПЗ, на котором значительно повышается напряженность электрического поля [2, 5].

Рассмотрим подробнее процесс программирования/чтения данных в ЯП SF 1-го и 2-го поколений. При программировании ячеек на УЗ подается напряжение выше порогового, что приводит к образованию проводящей области в канале под УЗ. На сток по БЛ подается невысокое напряжение ( $\sim 1-2$  B), которое по каналу под УЗ достигает края ПЗ. На исток, емкостно связанный с ПЗ, подается положительное напряжение величиной 8-10 В. Вследстсвие разницы напряжений стокисток по каналу начинает течь ток и происходит генерация горячих электронов, которые частично захватываются из канала вертикальным электрическим полем и туннелируют в ПЗ. При этом





|          |    |        | /        | I 1/ |       |   | L       | ge |
|----------|----|--------|----------|------|-------|---|---------|----|
| CG       | FG |        | FG       | CG   |       |   |         | (  |
| <u> </u> |    |        | <b>0</b> |      |       |   | Erase   |    |
| )        |    |        |          |      | danin |   | Program |    |
|          |    | source | •        |      | uram  | ſ | Read    |    |

| 2 | 2 generation SuperFlash (technology 250-110 nm) |            |        |    |     |  |  |  |  |
|---|-------------------------------------------------|------------|--------|----|-----|--|--|--|--|
|   | CG (WL)                                         | drain (BL) | source | EG | CnG |  |  |  |  |

|         |                 | urani (DL) | source | EO | Сро |
|---------|-----------------|------------|--------|----|-----|
| Erase   | 12 V            | 0 V        | 0 V    | —  | -   |
| Program | 1.6 V           | ~5 µA      | 8 V    | —  | -   |
| Read    | V <sub>CC</sub> | 1 V        | 0 V    | —  | _   |



| 3 | generation | SuperFlash | (techno | logy | 120 | )-28 | (nm) | ) |
|---|------------|------------|---------|------|-----|------|------|---|
|---|------------|------------|---------|------|-----|------|------|---|

| \                                       |         | CG (WL)         | drain (BL) | source | EG    | CpG             |
|-----------------------------------------|---------|-----------------|------------|--------|-------|-----------------|
| (20000000000000000000000000000000000000 | Erase   | 0 V             | 0 V        | 0 V    | 11 V  | 0 V             |
| drain                                   | Program | 1 V             | 1-2µA      | 4.5 V  | 4.5 V | 10.5 V          |
| uranı                                   | Read    | V <sub>CC</sub> | 0.6 V      | 0 V    | 0 V   | V <sub>CC</sub> |

Рис. 1. Схемы вертикальных сечений ЯП SuperFlash 1-го (*a*), 2-го (*b*) и 3-го (*b*) поколений с таблицами режимов работы [6-10].

происходит туннелирование далеко не всех электронов из канала, а только малой их части, обладающих энергией равной или больше  $3.2 \Rightarrow B$  (величина энергетического барьера  $Si-SiO_2$ ). Чем больше электронов туннелирует в плавающий затвор, тем ниже становится его потенциал, который своим полем постепенно запирает канал и останавливает процесс, т.е. эффект программирования является самоограничивающимся. Итогом записи является локализованный в ПЗ отрицательный заряд, который при чтении ячейки не дает каналу открыться, что определяется как логический ноль [2, 5–10].

Если же на УЗ не подавать напряжение, то проводящий канал транзистора формироваться не будет и, следовательно, ни тока электронов, ни их туннелирования в ПЗ также не будет. В этом случае программирования ячейки как такового не произойдет и в дальнейшем она будет считываться как логическая единица [5, 6].

Как уже отмечалось выше, процесс стирания ЯП SF (1-е и 2-е поколение) основан на эффекте FN-туннелирования, при этом задействуется только малая часть ПЗ — заостренный край, что позволяет применять значительно меньшие напряжения по сравнению с ячейками с многоуровневым затвором. Для инициации процесса стирания на УЗ (словарную линию) подается напряжение от 12 до 14 В, а сток и исток заземляются. Поле между УЗ и ПЗ затворами слабое на протяжении всего межзатворного диэлектрика, за исключением заостренного края ПЗ, на котором оно резко увеличивается и, который выполняет роль туннельного инжектора. Время туннелирования очень короткое, но процесс успевает самоограничиваться накопленным положительным зарядом ПЗ, который уменьшает разность потенциалов между ПЗ и УЗ и нарушает условия туннелирования. Таким образом, после стирания на ПЗ локализуется положительный заряд, который при чтении ячейки определяется как логическая единица [2, 5-10]. При попытке "стереть" и без того стертую ячейку процесс туннелирования электронов из ПЗ в УЗ не сможет начаться из-за препятствующего электрического поля от положительно заряженного ПЗ [5, 6].

Стоит отметить, что именно заостренная по краю форма ПЗ и его расположение относительно УЗ обеспечивают повышенную надежность, минимизацию токов утечки, отсутствие произвольной перезаписи и снижение тока программирования в сравнении с ЯП с многоуровневым затвором [2, 5—10]. С другой стороны, электрическое поле в туннельном диэлектрике вблизи туннельного инжектора (острого кончика ПЗ) может достигать значений, достаточных для разрыва молекулярных связей и образования электронных ловушек. Результаты исследования, приведенные в работе [10] показали, что вблизи туннельного инжектора наблюдается деградация диэлектрика и накопление в нем электрического заряда, однако область деградации ограничена очень узкой полосой вблизи ПЗ и не вызывает дополнительных проблем с надежностью ЯП. Более того, в практических применениях ЯП не используется циклически непрерывно, поэтому заряд, накопленный диэлектриком около туннельного инжектора, со временем стекает за счет туннельного эффекта. Таким образом, наблюдается эффект самовосстановления параметров ЯП, временные рамки которого в значительной степени определяются режимом работы устройства [5, 6].

Конструкция ЯП SF 3-го поколения имеет значительные отличия от 1-го и 2-го поколений. однако для программирования также используется инжекция горячих электронов со стороны истока, а для стирания — туннелирование Фаулера-Нордхейма. При программировании на УЗ подается малое положительное напряжение ~1 В, на исток и C3 — по 4,5 В, а на 3Cв, емкостно связанный с ПЗ и расположенный над ним, подается положительное напряжение ~10.5 В, формирующее вертикальное электрическое поле, которое создает условия для туннелирования горячих электронов из канала в ПЗ. Стирание выполняется путем подачи на СЗ напряжения величиной 11 В. что приводит к FN-туннелированию электронов из ПЗ в СЗ. Данный процесс, как и в случае ЯП SF 1-го и 2-го поколений, является самоограничивающимся.

Немаловажным отличием SF 3-го поколения от предыдущих поколений является отсутствие заостренного кончика ПЗ, упрощающего туннелирование электронов при стирании ЯП. Функцию туннельного инжектора в данном случае выполняет расположенный рядом с СЗ обычный (незаостренный) угол поликремневого ПЗ, из которого и происходит туннелирование электронов в C3 [6, 8—10]. Вместе с тем, несмотря на то что при стирании ЯП около туннельного инжектора формируются значительно более слабые электрические поля, деградация туннельного диэлектрика все же возможна. Тем не менее результаты экспериментов и моделирования приведенные в работе [8] показывают, что основные характеристики туннельного диэлектрика остаются неизменными во всех трех поколениях технологии SuperFlash: 1) высокая плотность электрического поля на кончике или углу ПЗ приводит к асимметричным характеристикам туннелирования в прямом и обратном направлениях; 2) сохраняется сильная локализация процесса туннелирования; 3) эффективное подавление анодной инжекции дырок за счет неравномерного распределения электрического поля в туннельном диэлектрике при стирании.

## 3. ОСОБЕННОСТИ ФОРМИРОВАНИЯ ЯП SUPERFLASH

Полуторатранзисторные ЯП типа SF совмещают в себе достоинства широко применяемых однотранзисторных ЯП на основе транзисторов с многоуровневым затвором типа ETOX и двухтранзисторных ЯП, на основе транзисторов выбора и хранения, типа FLOTOX. ЯП типа SF демонстрируют высокую надежность, сравнимую с двухтранзисторными ЯП при габаритах однотранзисторной ЯП за счет объединения каналов выборки и хранения в один. Более того, конструктивные особенности ПЗ позволили минимизировать токи утечки и снизить токи программирования [2, 11, 12].

Немаловажным фактором широкого внедрения ЯП типа SF 1-го поколения стало довольно простое технологическое формирование ЯП адаптированное под стандарты на тот момент передового субмикронного 0.8 мкм техпроцесса производства полупроводниковых интегральных схем (ИС). В частности, в 0.8 мкм техпроцессе для изоляции МОП-структур применяется LOCOS (сокращение от LOCal Oxidation of Silicon) процесс, подразумевающий локальное окисление кремния до диоксида кремния. Данный процесс обладает рядом особенностей, среди которых образование "птичьего клюва" на краю окисляемой области, что приводит к необходимости увеличения расстояния между транзисторами. Однако именно такая особенность позволяет выполнять формирование заостренного кончика ПЗ — туннельного инжектора ЯП типа SF 1-е поколения (рис. 2). Таким образом, благодаря совместимости технологий формирования ЯП SF 1-го поколения

и субмикронных техпроцессов производства ИС, внедрение ЯП SF 1-го поколения не требовало введения новых или модернизации существующих технологических операций. Поэтому применение ЯП SF 1-го поколения актуально в широком диапазоне субмикронных технологических норм производства — от 0.8 мкм до 130 нм. Вместе с тем стоит заметить. что LOCOS-пронесс лля изоляции МОП-структур применяется в основном при производстве ИС с технологическими нормами более 500 нм, реже до 250 нм, а для более продвинутых процессов повсеместно используется технология щелевой изоляции (англ. Shallow Trench Isolation — STI), подразумевающая формирование узких и неглубоких щелей заполненных диэлектриком. Однако, согласно описанию технологии ЯП SF 1-го поколения, даже в этом случае для формирования особой формы ПЗ также предполагается применение LOCOS процесса [5–11, 13-151.

Технологическая карта формирования ЯП SF 1-го поколения включает в себя следующие основные этапы (см. рис. 2):

- формирование слоя подзатворного диэлектрика (SiO<sub>2</sub>);
- осаждение поликремния ПЗ (poly-Si);
- формирование маски из нитрида кремния (Si<sub>3</sub>N<sub>4</sub>);
- LOCOS-процесс области ПЗ;
- удаление маски Si<sub>3</sub>N<sub>4</sub> и поликремния;
- осаждение туннельного диэлектрика (SiO<sub>2</sub>);
- формирование поликремневого УЗ [13].



Рис. 2. Основные этапы формирования ЯП SuperFlash 1-го поколения с применением LOCOS-процесса [13].

На этом непосредственное формирование структуры ЯП SF 1-го поколения заканчивается, далее проводятся стандартные операции по имплантации и коммутации элементов [13].

Развитие технологических процессов и уменьшение топологических норм производства, возрастающие требования к снижению рабочих напряжений и увеличению объема и плотности памяти привели к необходимости и возможности модификации ЯП SuperFlash. В 1998 г. для технологических норм производства от 250 до 110 нм компания SST представила 2-е поколение ЯП SuperFlash, в котором в отличие от 1-го поколения при формировании ЯП применялся тройной процесс самосовмещения (англ. self-align process), что позволило значительно уменьшить размер ячейки за счет устранения избыточного перекрытия истока с ПЗ и запаса по смещению. Однако масштабирование ячеек с расщепленным затвором по-прежнему было ограничено необходимостью значительного перекрытия истока с ПЗ для обеспечения инжекции электронов в ПЗ. Более того возможности уменьшения длины ПЗ также ограничены риском возникновения пробоя, из-за высокого напряжения на истоке при программировании [6, 9–11, 16].

В технологической карте формирования ЯП SF 2-го поколения отразился технический прогресс полупроводникового производства, в частности, помимо щелевой изоляции стали широко применяться высокоселективные и высокоаспектные процессы реактивно-ионного травления (РИТ) и многократные процессы самосовмещения. На первых этапах развития микроэлектроники процесс самосовмещения подразумевал использование поликремневого затвора в качестве маски при легировании участков стока и истока. С развитием технологий стал применяться подход, заключающийся в дополнительном использовании спейсеров (англ. spacer) в дальнейших операциях формирования транзисторных структур [16—18]. Сами спейсеры представляют собой диэлектрические структуры, формирующиеся также в процессах самосовмещения. При уменьшении латеральных размеров ЯП пропорционально уменьшаются (масштабируются) и латеральные габариты спейсеров при сохранении той же высоты структур. Таким образом, при переходе на следующее поколение топологических норм производства, для реализации данного подхода не требуется существенного изменения производственных процессов (включая оборудование). Все процессы формирования спейсеров совместимы со стандартными процессами формирования логических элементов [18].

Ниже приведены основные этапы технологической карты формирования ЯП SF 2-го поколения, включающей три процесса самосовмещения (рис. 3). І процесс самосовмещения (STI—FG):

- формирование подзатворного диэлектрика диоксида кремния (SiO<sub>2</sub>);
- осаждение поликремния ПЗ (FG);
- осаждение защитного слоя нитрида кремния (SiN), который служит маской для последующего процесса;
- проведение стандартного процесса формирования щелевой изоляции (STI) транзисторных структур [16, 18].
  - II процесс самосовмещения (FG—SL):
- имплантация области транзисторов ЯП [16];
- осаждение толстого слоя SiN;
- процесс литографии с последующим РИТ SiN (селективным к поликремнию) в целях открытия области ПЗ и истоковой линии (ИЛ, SL) [16, 18];
- РИТ поликремния, в процессе которого формируется заостренный край за счет естественной неравномерности травления [17];
- осаждение слоя SiO<sub>2</sub> методом химического осаждения из газовой фазы (ХОГФ) с применением прекурсора тетраэтоксисилана (TEOS);
- РИТ SiO<sub>2</sub> для формирования спейсеров;
- РИТ поликремния с использованием спейсеров в качестве маски [16—18];
- имплантация областей истока [17];
- формирование спейсеров для изоляции ИЛ от ПЗ (англ. liner oxide);
- осаждение поликремния ИЛ [18];
- травление осажденного слоя поликремния до, примерно, уровня спейсеров и нитрида кремния [17];
- окисление приповерхностного слоя поликремния ИЛ в целях защиты от воздействия дальнейших процессов [18, 19].

*Ш процесс самосовмещения (WL—FG)*:

- удаление слоя SiN жидкостным травлением в горячей фосфорной кислоте;
- РИТ открытой части поликремния ПЗ [16—18];
- формирование слоя термического оксида кремния (англ. high-temperature oxide) из газовой фазы, который в дальнейшем будет выполнять функции подзатворного диэлектрика словарной линии (WL), а также туннельного оксида между поликремневыми ПЗ и СЛ;
- осаждение поликремния (из которого формируется словарная линия транзистора);
- формирование диэлектрического спейсера [18].

На этом непосредственное формирование ЯП SF 2-го поколения заканчивается, однако для объединения ЯП в матрицу памяти необходимо провести коммутацию ЯП, для чего на поликремневые



**Рис. 3.** Последовательность этапов формирования ЯП SuperFlash 2-го поколения с применением тройного процесса самосовмещения [16, 18].

СЛ и ИЛ осаждается кобальт с последующим отжигом для образования контактного силицида кобальта и создаются металлические межсоединения с использованием стандартных процессов формирования систем межсоединений [16—18].

Изменение конструкции и технологии формирования ЯП SF позволило во 2-м поколении значительно уменьшить латеральные размеры ячейки памяти (до 40% при одинаковых нормах производства), потребляемые токи при операциях программирования/стирания и сократить время этих операций [6]. Однако дальнейшее развитие полупроводниковой отрасли, связанное с уменьшением технологических норм производства ИС, показало, что накладываемые ограничения на масштабирование ЯП с расщепленным затвором становятся критичными. Поэтому для их интеграции в современные ИС необходима разработка новой конструкции ЯП. С этой целью в апреле 2005 г. SST приобрела тайваньскую компанию Actran Systems, занимающуюся разработкой Flash-памяти, что и послужило началом развития технологии SF 3-го поколения [6, 8].

Направление инженерной мысли было определено сразу — необходимо отходить от конструкции с расщепленным затвором для обеспечения дальнейшей миниатюризации ячейки. В итоге была разработана конструкция с двумя дополнительными затворами: стирающим затвором (C3, EG) и затвором связи (3Cв, CpG). Наличие дополнительного стирающего затвора позволило уменьшить ширину поликремневой словарной линии. Более того, толщина изолирующего диэлектрика также была уменьшена из-за снижения нагрузки при стирании ЯП [8, 20]. Применение затвора связи при программировании ЯП позволило значительно снизить напряжение на истоке и масштабировать длину канала под плавающим затвором [20]. Добавление в ячейку стека ПЗ-ЗСв потребовало некоторых изменений, например, в данной конструкции отсутствует острый край ПЗ, хотя туннелирование электронов в СЗ при "стирании" происходит также из угла поликремневого ПЗ [6, 20, 21].

Диапазон технологических норм производства ЯП SF 3-го поколения — от 120 до 28 нм. К сожалению, в литературе нет подробного описания процесса формирования ячеек 3-го поколения. однако упоминается, что несмотря на наличие дополнительных затворов процесс формирования данных ЯП проще, чем ячеек SF 2-го поколения благодаря в том числе широкому использованию процессов самосовмещения. Стоит упомянуть, что в зависимости от технологических норм производства может значительно отличаться как последовательность, так и набор применяемых процессов формирования. Например, при нормах 45 нм и ниже многие производители перешли на технологию HKMG (high-k dielectrics and metal gate), т.е. использование металлических затворов вместо поликремневых и подзатворных диэлектриков с высокой диэлектрической проницаемостью из оксида гафния (HfO<sub>2</sub>) вместо диоксида кремния (технормы >90 нм) и оксинитрида кремния (технормы 90-55 нм) [23].

Последовательность основных этапов формирования ЯП SuperFlash 3-го поколения выполненных по нормам 40/55 нм компанией GlobalFoundries описана в работах [20, 23, 24]. Стоит отметить, что технологические процессы с нормами 40 и 55 нм компании GlobalFoundries очень схожи и не используют HKMG. На рис. 4 показана схема интеграции основных этапов формирования памяти SF 3-го поколения, а именно ЯП и высоковольтной периферии (англ. high voltage — HV), в общий процесс производства ИС. Как видно из схемы, формирование памяти выполняется перед модулем логических элементов.

Первым этапом после формирования щелевой изоляции (STI) и карманов транзисторов является осаждение подзатворного диэлектрика ПЗ из оксила кремния (FG Oxide), через который впоследствии будут туннелировать горячие электроны. Далее выполняется осаждение слоев поликремния ПЗ (FG), диэлектрических слоев оксида кремниянитрида кремния-оксида кремния (ONO) и поликремния 3Cв (CpG) с последующим созданием стека FG/ONO/CpG, при этом происходит самосовмещение ПЗ с ЗСв и каналом транзистора (active-FG-CpG). В ходе этого процесса дополнительно формируются несколько диэлектрических спейсеров для обеспечения надежной изоляции и оптимизации геометрических параметров в целях усиления электрического поля при стирании. программировании и чтении [20, 23].

На следующем этапе выполняется осаждение подзатворного оксида кремния для высоковольных (HV oxide) и входных (IO oxide) транзисторов и туннельного диэлектрика (Tunnel oxide) между ПЗ и СЗ (EG) ЯП. Затем в одном процессе выполняется формирование затворов логических,



**Рис.** 4. Схема интеграции основных этапов формирования памяти SF 3-го поколения (голубым цветом) в 40 нм, техпроцесс компании GlobalFoundries (черным цветом) [23].

МИКРОЭЛЕКТРОНИКА том 53 № 3 2024

высоковольтных и входных транзисторов, а также поликремневых управляющего затвора (словарной линии — WL) и стирающего затвора (EG) ячеек памяти. После этого производится LDD-имплантация (Lightly-Doped-Drain) стоков ЯП и HV-транзисторов [20, 23]. На этом формирование структуры ЯП SF 3-го поколения является законченным и дальнейшие этапы выполняются в соответствии с базовым процессом.

Также в работах [25, 26] приводится общее описание интеграции основных этапов формирования памяти SF 3-го поколения в техпроцесс 28SLPe (Super Low Power Platform) компании GlobalFoundries. Данный технологический процесс поддерживает нормы производства 28 нм с использованием НКМС и предназначен для выпуска высоко энергоэффективных решений. В целом последовательность операций формирования ЯП соответствует приведенной на рис. 4, но изменились применяемые технологические процессы и материалы, в том числе возросло количество литографических этапов. Помимо этого, в процессах литографии стали использоваться ArF лазерные источники с длиной волны 193 нм и жесткие маски. Стоит отметить, что при использовании техпроцесса 28SLPe, по технологии НКМG в ячейке памяти SF 3-го поколения выполняется только управляющий затвор с металлическим подслоем из нитрида титана (TiN) [26].

На сегодняшний день промышленных образцов ЯП SF произведенных по передовым технологическим процессам нет, так как при переходе на нормы производства 22 нм большинство производителей вместо планарной структуры транзистора стали использовать трехмерную — FinFET, что затрудняет применение выше описанных конструкций транзистора. Однако в работах [27—29] авторы рассматривают новую структуру ЯП SF с учетом особенностей технологии FinFET. Результаты расчетов и моделирования предложенной ячейки свидетельствуют о возможности реализации и перспективности производства ЯП SF по технологическим нормам вплоть до 14/16 нм.

## 4. ИССЛЕДОВАНИЕ СТРУКТУРЫ ЯЧЕЕК ПАМЯТИ SUPERFLASH

Рассмотренные выше данные по большей части носят теоретический характер и не дают полного представления о ЯП SuperFlash. Для рассмотрения физической реализации ЯП SF были исследованы образцы микроконтроллеров (МК) нескольких производителей с различным объемом встроенной памяти SF. Исследование образцов проводилось с использованием методов растровой электронной микроскопии (РЭМ) и фокусированного ионного пучка (ФИП). В рамках исследования выполнялись вертикальные сечения кристаллов МК в области памяти (метод ФИП) и их анализ (метод РЭМ с локальным рентгеноспектральным анализом материалов). Вертикальные сечения выполнялись со смещением в целях получения более полной информации о строении ЯП. Ниже приведены результаты, сгруппированные по поколению SuperFlash.

ЯП SF 1-го поколения. На рис. 5 приведены РЭМ изображения вертикальных сечений SF 1-го поколения выполненных вдоль битовой линии (BL) и словарной линии (WL). На данных изображения отчетливо видно расположение как транзисторов относительно друг друга, так и основных элементов: островков плавающих затворов частично перекрытых словарной линией управляющего затвора, а также области истока, точнее истоковой линии, и стока со следами контакта к битовой линии. Стоит отметить, что в данном образце изоляция транзисторов друг от друга выполнена по технологии STI.

Контактная область стока и поверхность словарной линии имеют дополнительный слой силицида переходного металла, обычно на основе вольфрама или кобальта (светлые полосы на УЗ и стоке) для уменьшения контактного сопротивления и увеличения общей проводимости. БЛ реализована в виде проводника первого уровня системы межсоединений на основе алюминия с диффузионно-барьерными слоями (ДБС) титан/нитрид титана, а контакт к стоку выполнен с помощью вольфрамового столбика. ИЛ реализована легированной областью кремния с общим контактом на границе массива транзисторов.

Особого внимания на приведенных изображениях вертикальных сечений заслуживает форма и взаимное расположение ПЗ и УЗ. Ортогональные сечения в области их перекрытия отчетливо показывают, что ПЗ имеет заостренный край по всему периметру, при этом сам УЗ перекрывает до 1/3 длины ПЗ. Однако данный параметр и сама форма УЗ могут меняться в зависимости от технологических норм производства. На рис. 6 приведены изображения четырех отличных друг от друга пар ПЗ-УЗ, произведенных по технологическим нормам 500, 350, 300 и 250 нм. На данных изображениях видно, что для норм 300 нм и менее изменяется форма УЗ, он более компактен, при этом уменьшились и габариты ПЗ вдоль БЛ, что привело к общему уменьшению размеров ЯП. К сожалению, измерить толщину туннельного диэлектрика между ПЗ и УЗ данных ячеек не удалось, однако в работах [30, 31] приводятся следующие значения: в ЯП, выполненных по технологическим нормам 330 нм, толщина составляет 21 нм, а при нормах 250 нм — 16 нм.



Рис. 5. РЭМ-изображения вертикальных сечений транзисторов памяти SF 1-го поколения вдоль БЛ (*a*, *б*) и СЛ (*в*, *г*).

ЯП SF 2-го поколения. На рис. 7 приведены РЭМ-изображения ортогональных вертикальных сечений SF 2-го поколения. Внешний вид данных ЯП отличается от ЯП предыдущего поколения в первую очередь наличием поликремневой ИЛ, изолированной слоем диоксида кремния от словарных линий управляющего затвора. По этой же причине островки ПЗ не заметны без удаления поликремневых линий, сами же островки ПЗ имеют прямоугольную форму.

На РЭМ-изображениях вертикальных сечений выполненных вдоль битовой линии (см. рис. 7, *a*, *б*) хорошо видны УЗ и ИЛ трапециевидной формы. Если особенности формы УЗ, такой как заостренный верхний край, можно объяснить пециевидная форма ИЛ создавалась целенаправленно для увеличения емкостной связи с ПЗ. Таким образом обеспечивается повышение эффективности туннелирования горячих электронов из канала в ПЗ при меньших напряжениях смещения. Сам ПЗ имеет заострение только со стороны УЗ, при этом можно заметить значительное сокращение области перекрытия УЗ и ПЗ по сравнению с SF 1-го поколения. Данная особенность объясняется частичным изменением подхода к формированию вертикального электрического поля в процессе программирования ЯП: в 1-м поколении поле формировалось только УЗ, а во 2-м

особенностями процесса производства, то тра-



**Рис. 6.** РЭМ-изображения вертикальных сечений транзисторов памяти SF 1-го поколения вдоль битовой линии выполненных по технологическим нормам 500 нм (*a*), 350 нм (*б*), 300 нм (*b*) и 250 нм (*c*).

дополнительно используется ИЛ, при этом общий принцип работы ЯП сохраняется. Подобный подход позволил значительно сократить латеральные размеры ЯП.

РЭМ-изображения вертикальных сечений, выполненных вдоль словарной линии (см. рис. 7. *в*—*е*), дополняют картину демонстрируя небольшую толщину ПЗ (~50 нм) и малые размеры области перекрытия УЗ-ПЗ. Анализ данных изображений показывает, что кристалл ИС данного МК выполнен по технологическим нормам 250 нм.

ЯП SF 3-го поколения. На РЭМ-изображениях вертикальных сечений выполненных вдоль БЛ (рис. 8, *a*, *б*) и СЛ (рис. 8, *в*, *г*) отчетливо видны структуры затворов, области стока/истока, их коммутация и взаимное расположение. Как и в предыдущих поколениях ЯП SF, контактная область стока, УЗ и ЗСв имеют дополнительный слой силицида металла (обычно кобальта или никеля в зависимости от норм производства). БЛ также реализована в виде проводника первого уровня металлической системы межсоединений, но на основе меди с диффузионно-барьерным слоем (ДБС) тантал/нитрид тантала, при этом контакт к стоку выполнен из вольфрама.



Рис. 7. РЭМ-изображения вертикальных сечений транзисторов памяти SF 2-го поколения вдоль БЛ (*a*, *б*) и СЛ (*в*−*е*). МИКРОЭЛЕКТРОНИКА том 53 № 3 2024

#### АБДУЛЛАЕВ и др.



Рис. 8. РЭМ-изображения вертикальных сечений транзисторов памяти SF 3-го поколения вдоль БЛ (*a*, *б*) и СЛ (*в*, *г*).

Стоит отметить, что в данной ЯП затворы изолированы друг от друга значительно более тонким слоем диэлектрика по сравнению со 2-м поколением SF, что также является следствием масштабирования ЯП. Дополнительно внедрение СЗ привело к возвращению ИЛ в виде легированной области кремния с общим контактом на краю массива транзисторов аналогично SF 1-го поколения.

Общая структура ЯП, форма и расположение ее элементов полностью соответствует схеме, приведенной на рис. 1, однако среди особенностей можно отметить уменьшенную толщину ПЗ, необычную форму ЗС, нависшего над ИЛ и значительно уменьшенную ширину транзисторов при увеличенной глубине изоляции STI. Анализ данных изображений показывает, что кристалл ИС данного МК выполнен по технологическим нормам 130 нм.

#### ЗАКЛЮЧЕНИЕ

За время (более 30 лет), прошедшее с момента создания компанией Silicon Storage Technology, благодаря простоте интеграции в технологический КМОП-процесс производства, высокой надежности и производительности, память SuperFlash получила широкое распространение и нашла множество применений в электронной технике. На сегодняшний день технология SuperFlash насчитывает три поколения ячеек памяти, отличающиеся друг от друга характеристиками и конструкцией. Немаловажной особенностью, обеспечившей лидирующие позиции в отрасли, является относительно простое технологическое формирование ЯП, адаптированное под стандарты широкого диапазона технологических норм — от устаревших микронных до зрелых и широко применяемых 28 нм. Данные качества SF обеспечивают гибкость применения ЯП и позволяют разработчикам ИС использовать практически готовые решения для реализации проектов, что значительно способствует ее продвижению на рынке.

#### СПИСОК ЛИТЕРАТУРЫ

- 1. *Molas G., Nowak E.* Advances in emerging memory technologies: From data storage to artificial intelligence// Applied Sciences. 2021. V. 11. № 23. P. 11254.
- 2. *Милованов Р.А., Кельм Е.А.* Структура ячеек энергонезависимой памяти типа EEPROM и Flash // Нано- и микросистемная техника. 2015. № 4. С. 45—59.
- 3. Абдуллаев Д.А., Милованов Р.А., Волков Р.Л., Боргардт Н.И., Ланцев А.Н., Воротилов К.А., Сигов А.С. Сегнетоэлектрическая память: современное производство и исследования // Российский технологический журнал. 2020. Т. 8. № 5. С. 44—67.
- Kim S.S., Yong S.K., Kim W., Kang S., Park H.W., Yoon K.J., Dong S.S., Lee S., Hwang C.S. Review of semiconductor flash memory devices for material and process issues // Advanced Materials. 2022. P. 2200659.
- 5. *Кольцов С.* SuperFlash успешная технология для построения микросхем памяти. Часть 2 // Электронные компоненты. 2013. № 1. С. 101–105.
- 6. Do N., Van Tran H., Kotov A., Tiwari V. Splitgate floating poly SuperFlash memory technology, design, and reliability // Embedded Flash memory for embedded systems: technology, design for subsystems, and innovations. 2018. P. 131–178.
- Tkachev Y., Kotov A. Generation of single-and doublecharge electron traps in tunnel oxide of flash memory cells under Fowler-Nordheim stress // 2011 IEEE International Integrated Reliability Workshop Final Report. 2011. P. 101–104.
- 8. *Tkachev Y., Liu X., Kotov A.* Floating-gate cornerenhanced poly-to-poly tunneling in split-gate flash memory cells // IEEE transactions on electron devices. 2011. V. 59. № 1. P. 5–11.
- Tkachev Y. Field-induced generation of electron traps in the tunnel oxide of flash memory cells // 2015 IEEE International Integrated Reliability Workshop. 2015. P. 99–102.

- Tkachev Y., Walls J.A. Silicon dioxide degradation in strongly non-uniform electric field // 2017 IEEE International Integrated Reliability Workshop. 2017. P. 1–4.
- Lai S. Flash memories: Where we were and where we are going// International Electron Devices Meeting 1998. Technical Digest (Cat. No. 98CH36217). 1998. P. 971–973.
- 12. *Sowards D*. Non-Volatile Memory: The principles, the technologies, and their significance to the smart card integrated circuit, 1999.
- Kianian S., Levi A., Lee D., Hu Y. W. A novel 3 voltsonly, small sector erase, high density flash E<sup>2</sup>PROM// Proceedings of 1994 VLSI Technology Symposium. 1994. P. 71–72.
- 14. *Smeys P.* Local oxidation of silicon for isolation. Stanford University: PhD Thesis, 2000.
- 15. *Shauly E.N., Rosenthal S.* Coverage layout design rules and insertion utilities for CMP-related processes // Journal of Low Power Electronics and Applications. 2020. V. 11. № 1. P. 2.
- 16. Sung H.C., Lei T.F., Huang C.M., Kao Y.C., Lin Y.T., Wang C.S. New triple self-aligned (SA3) split-gate flash cell with T-shaped source coupling // Japanese journal of applied physics. 2005. V. 44. № 10R. P. 7377.
- Mih R., Harrington J., Houlihan K., Lee H.K., Chan K., Johnson J., Chen B., Yan J., Lam C. 0.18 μm modular triple self-aligned embedded split-gate flash memory // 2000 Symposium on VLSI Technology. Digest of Technical Papers (Cat. No. 00CH37104). 2000. P. 120–121.
- Chu W.T., Lin H.H., Hsieh C.T., Sung H.C., Wang Y.H., Lin Y.T., Wang C.S. Shrinkable triple self-aligned field-enhanced split-gate flash memory // IEEE transactions on electron devices. 2004. V. 51. № 10. P. 1667–1671.
- Sax H., Kruwinus H., Waters E.A. Polysilicon overfill etch back using wet chemical spin-process technology. An alternative to traditional dry etch and CMP technigues // 10th Annual IEEE/SEMI. Advanced Semiconductor Manufacturing Conference and Workshop. ASMC 99 Proceedings (Cat. No. 99CH36295). 1999. P. 233–238.
- Do N., Tee L., Hariharan S., Lemke S., Tadayoni M., Yang W., Yue I. A 55 nm logic-process-compatible, split-gate flash memory array fully demonstrated at automotive temperature with high access speed and reliability // 2015 IEEE International Memory Workshop. 2015. P. 1–3.
- 21. *Tkachev Y*. Extraction of floating-gate capacitive parameters in split-gate flash memory cells // 2016 International Conference on Microelectronic Test Structures (ICMTS). 2016. P. 110–115.
- 22. Абдуллаев Д.А. Изменение набора применяемых материалов при уменьшении топологических норм производства интегральных микросхем //

Нано- и микросистемная техника. 2014. № 5. С. 32—38.

- Shum D., Luo L.Q., Kong Y.J., Deng F.X., Qu X., Teo Z.Q., Liu X. 40 nm embedded self-aligned splitgate flash technology for high-density automotive microcontrollers // 2017 IEEE International Memory Workshop. 2017. P. 1–4.
- Guo X., Bayat F.M., Prezioso M., Chen Y., Nguyen B., Do N., Strukov D.B. Temperature-insensitive analog vector-by-matrix multiplier based on 55 nm NOR flash memory cells // 2017 IEEE Custom Integrated Circuits Conference. 2017. P. 1–4.
- Jourba S., Bollon N., Decobert C., Festes G., Bertello B., Zhou F., Beyer S. Performance and reliability of 4 Mb eFLASH memory array featuring 28 nm split-gate cell with HKMG select transistor // 2020 IEEE International Memory Workshop. 2020. P. 1–4.
- Richter R., Trentzsch M., Dünkel S., Müller J., Moll P., Bayha B., Do N. A cost-efficient 28 nm split-gate eFLASH memory featuring a HKMG hybrid bit cell and HV device // 2018 IEEE International Electron Devices Meeting. 2018. P. 18.5.1—18.5.4.

- 27. Do N., Lemke S., Tran H., Tiwari V., Reiten M. Scaling of split-gate flash memory for embedded controllers and machine learning applications // 2020 International Symposium on VLSI Technology, Systems and Applications. 2020. P. 19–20.
- Chandra Z., Mubarokah I., Sulthoni M.A. Split-Gate Flash Memory: from Planar to 3D // 2021 International Symposium on Electronics and Smart Devices. 2021. P. 1–5.
- 29. Do N., Kim J., Lemke S., Tee L., Tkachev Y., Liu X., Reiten M. Scaling split-gate flash memory technology for advanced MCU and emerging applications // 2019 IEEE 11th International Memory Workshop. 2019. P. 1–4.
- Kotov A., Levi A., Tkachev Y., Markov V. Tunneling phenomenon in SuperFlash cell // Proc. NVM Tech. Symp. 2002. P. 110–115.
- 31. Guan H., Lee D., Li G. P. An analytical model for optimization of programming efficiency and uniformity of split gate source-side injection SuperFlash memory // IEEE Transactions on electron devices. 2003. V. 50. № 3. P. 809-815.

## The structure and formation of non-volatile memory cells of Superflash

## © 2024 D. A. Abdullaev<sup>1, \*</sup>, E. V. Bobrova<sup>1</sup>, R. A. Milovanov<sup>1</sup>

<sup>1</sup>Institute of Nanotechnology of Microelectronics of the Russian Academy of Sciences, Moscow, Russia \*E-mail: abdullaev.d@inme-ras.ru

Split-gate embedded Flash memory technology has been around for decades and has become the standard for a wide range of devices, such as microcontrollers and smart cards. Among the, due to a number of advantages, Silicon Storage Technology Super Flash non-volatile memory technology has become the most widespread. This article presents the results of a study of the memory cells structure, examines in detail the principle of their operation and the main technological stages of the production process of forming transistor structures.

Keywords: embedded memory, SuperFlash, memory cell, split gate, floating gate

### REFERENCES

- Molas G., Nowak E. Advances in emerging memory technologies: From data storage to artificial intelligence // Applied Sciences. 2021. V. 11. No. 23. P. 11254. https://doi.org/10.3390/app112311254
- 2. *Milovanov R.A., Kelm E.A.* Structure of EEPROM and FLASH Memory Cells // Nano- and Microsystem Technique. 2015. V. 4. No. 177. P. 45–59.
- Abdullaev D.A., Milovanov R.A., Volkov R.L., Borgard N.I., Lantsev A.N., Vorotilov K.A., Sigov A.S. Ferroelectric memory: state-of-the-art manufacturing and research // Russian Technological Journal. 2020. V. 8. No. 5. P. 44–67. https://doi. org/10.32362/2500-316X-2020-8-5-44-67
- Kim S.S., Yong S.K., Kim W., Kang S., Park H.W., Yoon K.J., Dong S.S., Lee S., Hwang C.S. Review of semiconductor flash memory devices for material and process issues // Advanced Materials. 2022. P. 2200659. https://doi.org/10.1002/adma.202200659
- Koltsov S. SuperFlash is a successful technology for building memory chips. Part 2 // Electronic components. 2013. No. 1. P. 101–105.
- Do N., Van Tran H., Kotov A., Tiwari V. Split-gate floating poly SuperFlash memory technology, design, and reliability // Embedded Flash memory for embedded systems: technology, design for sub-systems, and innovations. 2018. P. 131–178. https://doi. org/10.1007/978-3-319-55306-1\_5
- 7. *Tkachev Y., Kotov A.* Generation of single-and double-charge electron traps in tunnel oxide of flash

МИКРОЭЛЕКТРОНИКА том 53 № 3 2024

memory cells under Fowler-Nordheim stress // 2011 IEEE International Integrated Reliability Workshop Final Report. 2011. P. 101–104. https://doi. org/10.1109/IIRW.2011.6142599

- Tkachev Y., Liu X., Kotov A. Floating-gate corner-enhanced poly-to-poly tunneling in split-gate flash memory cells // IEEE transactions on electron devices. 2011. V. 59. No. 1. P. 5–11. https://doi. org/10.1109/TED.2011.2171346
- Tkachev Y. Field-induced generation of electron traps in the tunnel oxide of flash memory cells // 2015 IEEE International Integrated Reliability Workshop. 2015. P. 99–102. https://doi.org/10.1109/ IIRW.2015.7437077
- Tkachev Y., Walls J.A. Silicon dioxide degradation in strongly non-uniform electric field // 2017 IEEE International Integrated Reliability Workshop. 2017. P. 1–4.

https://doi.org/10.1109/IIRW.2017.8361238

- Lai S. Flash memories: Where we were and where we are going // International Electron Devices Meeting 1998. Technical Digest (Cat. No. 98CH36217). 1998. P. 971-973. https://doi.org/10.1109/ IEDM.1998.746516
- 12. *Sowards D*. Non-Volatile Memory: The principles, the technologies, and their significance to the smart card integrated circuit, 1999.
- Kianian S., Levi A., Lee D., Hu Y.W. A novel 3 volts-only, small sector erase, high density flash E<sup>2</sup>PROM // Proceedings of 1994 VLSI Technology Symposium. 1994. P. 71–72. https://doi.org/10.1109/ VLSIT.1994.324372
- 14. *Smeys P.* Local oxidation of silicon for isolation. Stanford University: PhD Thesis, 2000.
- Shauly E.N., Rosenthal S. Coverage layout design rules and insertion utilities for CMP-related processes // Journal of Low Power Electronics and Applications. 2020. V. 11. No. 1. P. 2. https://doi.org/10.3390/ jlpea11010002
- 16. Sung H.C., Lei T.F., Huang C.M., Kao Y.C., Lin Y.T., Wang C.S. New triple self-aligned (SA3) split-gate flash cell with T-shaped source coupling // Japanese journal of applied physics. 2005. V. 44. No. 10R. P. 7377. https://doi.org/10.1143/ JJAP.44.7377
- Mih R., Harrington J., Houlihan K., Lee H.K., Chan K., Johnson J., Chen B., Yan J., Lam C. 0.18 μm modular triple self-aligned embedded split-gate flash memory // 2000 Symposium on VLSI Technology. Digest of Technical Papers (Cat. No. 00CH37104). 2000. P. 120–121. https://doi.org/10.1109/VLSIT.2000.852793
- Chu W.T., Lin H.H., Hsieh C.T., Sung H.C., Wang Y.H., Lin Y.T., Wang C.S. Shrinkable triple self-aligned field-enhanced split-gate flash memory // IEEE transactions on electron devices. 2004. V. 51. No. 10. P. 1667–1671. https://doi.org/10.1109/ TED.2004.835995

 Sax H., Kruwinus H., Waters E.A. Polysilicon overfill etch back using wet chemical spin-process technology. An alternative to traditional dry etch and CMP technigues // 10th Annual IEEE/SEMI. Advanced Semiconductor Manufacturing Conference and Workshop. ASMC 99 Proceedings (Cat. No. 99CH36295). 1999. P. 233–238. https://doi.org/10.1109/ ASMC.1999.798231

- Do N., Tee L., Hariharan S., Lemke S., Tadayoni M., Yang W., Yue I. A 55 nm logic-process-compatible, split-gate flash memory array fully demonstrated at automotive temperature with high access speed and reliability // 2015 IEEE International Memory Workshop. 2015. P. 1–3. https://doi.org/10.1109/ IMW.2015.7150267
- Tkachev Y. Extraction of floating-gate capacitive parameters in split-gate flash memory cells // 2016 International Conference on Microelectronic Test Structures (ICMTS). 2016. P. 110–115. https://doi.org/10.1109/ICMTS.2016.7476186
- Abdullaev D.A. Change set of applied materials at reduction topological norms production of integrated microcircuits // Nano- and Microsystems Technology. 2014. No. 5. P. 32–38.
- Shum D., Luo L.Q., Kong Y.J., Deng F.X., Qu X., Teo Z.Q., Liu X. 40 nm embedded self-aligned splitgate flash technology for high-density automotive microcontrollers // 2017 IEEE International Memory Workshop. 2017. P. 1—4. https://doi.org/10.1109/ IMW.2017.7939068
- Guo X., Bayat F.M., Prezioso M., Chen Y., Nguyen B., Do N., Strukov D.B. Temperature-insensitive analog vector-by-matrix multiplier based on 55 nm NOR flash memory cells // 2017 IEEE Custom Integrated Circuits Conference. 2017. P. 1–4. https://doi. org/10.1109/CICC.2017.7993628
- 25. Jourba S., Bollon N., Decobert C., Festes G., Bertello B., Zhou F., Beyer S. Performance and reliability of 4 Mb eFLASH memory array featuring 28 nm split-gate cell with HKMG select transistor // 2020 IEEE International Memory Workshop. 2020. P. 1—4. https://doi. org/10.1109/IMW48823.2020.9108118
- 26. Richter R., Trentzsch M., Dünkel S., Müller J., Moll P., Bayha B., Do N. A cost-efficient 28 nm split-gate eFLASH memory featuring a HKMG hybrid bit cell and HV device // 2018 IEEE International Electron Devices Meeting. 2018. P. 18.5.1—18.5.4. https://doi. org/10.1109/IEDM.2018.8614652
- Do N., Lemke S., Tran H., Tiwari V., Reiten M. Scaling of split-gate flash memory for embedded controllers and machine learning applications // 2020 International Symposium on VLSI Technology, Systems and Applications. 2020. P. 19–20. https://doi.org/10.1109/ VLSI-TSA48913.2020.9203593
- Chandra Z., Mubarokah I., Sulthoni M.A. Split-Gate Flash Memory: from Planar to 3D // 2021 International Symposium on Electronics and Smart

МИКРОЭЛЕКТРОНИКА том 53 № 3 2024

Devices. 2021. P. 1-5. https://doi.org/10.1109/ ISESD53023.2021.9501739

- Do N., Kim J., Lemke S., Tee L., Tkachev Y., Liu X., Reiten M. Scaling split-gate flash memory technology for advanced MCU and emerging applications // 2019 IEEE 11th International Memory Workshop. 2019. P. 1–4. https://doi.org/10.1109/IMW.2019.8739270
- Kotov A., Levi A., Tkachev Y., Markov V. Tunneling phenomenon in SuperFlash cell // Proc. NVM Tech. Symp. 2002. P. 110–115.
- Guan H., Lee D., Li G.P. An analytical model for optimization of programming efficiency and uniformity of split gate source-side injection SuperFlash memory // IEEE Transactions on electron devices. 2003. V. 50. No. 3. P. 809–815. https://doi.org/10.1109/ TED.2003.811416