

МОДЕЛИРОВАНИЕ КРЕМНИЕВЫХ ПОЛЕВЫХ КОНИЧЕСКИХ ГАА-НАНОТРАНЗИСТОРОВ СО СТЕКОВЫМ $\text{SiO}_2/\text{HfO}_2$ ПОДЗАТВОРНЫМ ДИЭЛЕКТРИКОМ

© 2024 г. Н. В. Масальский¹, *

¹Федеральное государственное учреждение Федеральный научный центр
Научно-исследовательский институт системных исследований РАН, Москва, Россия

*E-mail: volkov@niisi.ras.ru

Поступила в редакцию 15.02.2024 г.

После доработки 20.03.2024 г.

Принята к публикации 20.03.2024 г.

Обсуждаются вопросы моделирования электрофизических характеристик кремниевого конического полевого ГАА-нотранзистора. Разработана аналитическая модель тока стока транзистора с полностью охватывающим коническим затвором со стекловым подзатворным оксидом $\text{SiO}_2/\text{HfO}_2$ с учетом влияния заряда межфазной ловушки на границе раздела Si/SiO_2 . Для моделирования распределения потенциала в конической рабочей области при условии постоянной плотности ловушек получено аналитическое решение уравнения Пуассона с использованием метода параболической аппроксимации в цилиндрической системе координат с соответствующими граничными условиями. Модель потенциала была использована для разработки выражения для тока стока ГАА-нотранзистора со стекловым подзатворным оксидом. Численно исследованы ключевые электрофизические характеристики в зависимости от плотности ловушек и толщин слоев SiO_2 и HfO_2 .

Ключевые слова: кремневая нанотранзисторная архитектура, полностью охватывающий затвор, коническая рабочая область, подзатворный стекловый диэлектрик с высоким k , моделирование

DOI: 10.31857/S0544126924030044

1. ВВЕДЕНИЕ

Для преодоления критических последствий масштабирования планарных КМОП-транзисторов в качестве альтернативы в литературе был предложен ряд нетрадиционных транзисторных структур. Одной из таких является 3D-структура gate-all-around (ГАА), в которой канал окружен затвором со всех сторон, чтобы добиться радикального улучшения подпороговых свойств и эффективного подавления короткоканальных эффектов (ККЭ). Считается, что цилиндрические ГАА-транзисторы легко интегрируются с существующей КМОП-технологией [1–3]. Было показано, что цилиндрическая геометрия транзистора улучшает ток во включенном состоянии по сравнению с планарными устройствами [4, 5]. Эта характерная особенность может быть использована для применения в системах высокоскоростной цифровой коммутации. Транзисторы ГАА обладают также рядом других достоинств, таких как меньший ток утечки, что позволяет использовать их в приложениях с низким энергопотреблением, и гораздо меньшее влияние ККЭ, что позволяет масштабировать их в технологиях будущих поколений [6].

Современные технологические достижения позволяют перейти к стекловым структурам оксида затвора, например $\text{SiO}_2/\text{HfO}_2$, для увеличения тока включения и уменьшения подпорогового наклана при сохранении уровня тока утечки [3, 7]. Такую же цель преследует конструкция рабочей области в виде усеченного конуса — конический ГАА-нотранзистор [8]. Объединение этих решений позволит увеличить уровень тока включения, выше указанного чем в Международной технологической карте [6].

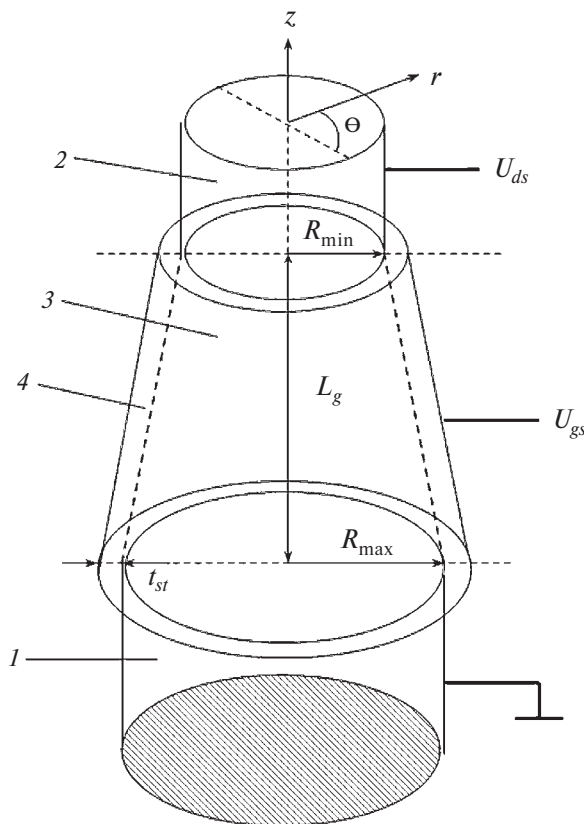
Однако для повышения точности моделирования необходимо в модель включить следующий механизм. В общем случае электрофизические характеристики современных КМОП-нотранзисторов в той или иной мере испытывают влияние от эффектов горячих носителей (ЭГН), которые вызваны из-за наличия сильного электрического поля в рабочей области [9, 10]. Транзисторы ГАА также подвержены воздействию ЭГН. В данном случае это сильное электрическое поле может увеличить кинетическую энергию носителей. Некоторые из них могут обладать достаточной энергией, чтобы преодолеть барьер кремний—изолятор или попасть в подзатворный оксид, порождая дефекты

на границе раздела кремний—изолятор [11]. Эти локализованные заряды, сгенерированные таким образом на границе раздела, могут изменять распределение поверхностного потенциала в рабочей области, что может повлиять на характеристики устройства, включая ток стока. Следовательно, влияние этих локализованных зарядов не следует игнорировать при моделировании электрофизических характеристик [12]. Подчеркнем, что мы не исследуем и соответственно не моделируем физические процессы, связанные с генерацией ловушек, а рассматриваем случаи с учетом их равномерного распределения по всей поверхности интерфейса Si/SiO₂.

Цель данной работы — разработка метода аналитического моделирования электрофизических характеристик конического GAA со стековым оксидом затвора SiO₂/HfO₂ и включения механизма межфазных захваченных зарядов.

2. ТЕХНОЛОГИЧЕСКИЕ ХАРАКТЕРИСТИКИ ПРОТОТИПОВ

3D-вид рассматриваемого конического GAA со стековым оксидом затвора SiO₂/HfO₂ показан на рис. 1.



Основываясь на приведенных выше предположениях и параметрах устройства, которые представлены в табл. 1, разрабатывается математическая модель распределения потенциала в конической рабочей области и тока стока.

В [8] установлено, что коническая конструкция рабочей области снимает ограничения, которые накладывают ККЭ, по диапазону возможных значений радиуса рабочей области R при выполнении следующего условия: $\Delta R \ll L_g$, где $\Delta R = R_{\max} - R_{\min}$, $R_{\max}$ — радиус рабочей области со стороны истока, $R_{\min}$ — радиус рабочей области со стороны стока; L_g — длина рабочей области. Также необходимо, чтобы рабочая область была низколегированной [13]. Тогда из решения уравнения Пуассона можно получить распределение потенциала, вольт-амперные характеристики (ВАХ) и извлечь другие ключевые характеристики. Данную задачу мы решаем в квазиклассическом приближении зарядового разделения (ПЗР) [4, 14, 15].

В данной работе мы считаем, что физическая природа дефектов вызванных горячими носителями — это разрыв связей Si—H, инициированный носителями заряда, взаимодействующими с интерфейсом Si/SiO₂ [12]. В стековых high-k

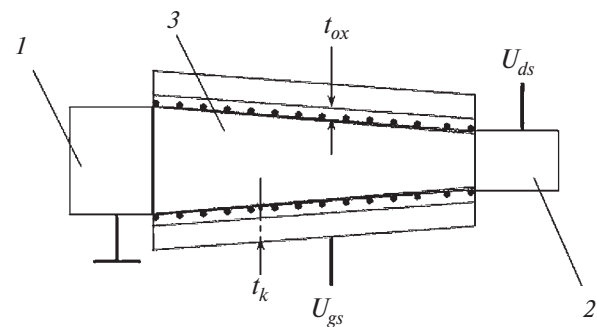


Рис. 1. Эскиз кремниевого GAA-нанотранзистора с конической рабочей областью со стековым подзатворным диэлектриком и дефектами на границе (обозначены черными кружочками), где 1 — исток, 2 — сток, 3 — коническая рабочая область, 4 — стековый подзатворный диэлектрик с толщиной пленки SiO₂ — t_{ox} , пленки HfO₂ — t_k , L_g — длина рабочей области, $R_{\max}$ — радиус рабочей области со стороны истока, $R_{\min}$ — радиус рабочей области со стороны стока.

Таблица 1. Параметры прототипа, используемые при моделировании

Параметр	Значение
Длина канала (L_g), нм	25
Максимальный радиус кремниевой рабочей области ($R_{\max}$), нм	5
Минимальный радиус кремниевой рабочей области ($R_{\min}$), нм	$3.5 \leq R_{\min} \leq 5$
Толщина пленки SiO ₂ (t_{ox}), нм	1
Толщина пленки HfO ₂ (t_k), нм	2
Концентрация легирования рабочей области (N_A), / см ³	1.5×10^{15}
Концентрация легирования областей сток/исток, / см ³	0.5×10^{20}
Работа выхода металла затвора (ϕ_m), эВ	4.6

диэлектриках практически всегда используются промежуточные слои SiO₂, поскольку технология слоев high-k материалов пока не позволяет выращивать стабильные пленки непосредственно на кремнии. При этом под “горячими носителями” подразумеваются электроны и дырки, которые обладают энергией выше энергии активации (по разным данным 2.5—2.8 эВ), достаточной для разрыва связи Si—H при единичном столкновении такого носителя со связью.

Встраивание заряженных дефектов оказывает двойственное влияние на электрофизические характеристики транзистора: они вызывают локальные искажения электростатики прибора и играют роль заряженных рассеивающих центров. С одной стороны, это может приводить к сдвигу порогового напряжения ΔU_{th} в силу амфотерной природы сгенерированных ловушек, которые могут захватывать и электроны, и дырки, что может вызывать сдвиг порогового напряжения в противоположные стороны [16]. С другой стороны, происходит уменьшение подвижности носителей и, следовательно, тока стока и проводимости транзистора и в подпороговом и линейном режимах. Деградация подвижности описывается эмпирической формулой [17, 18]:

$$\mu_{it} = \frac{\mu_o}{1 + \gamma_{it} N_f' \exp(-r/r_{it})}, \tag{1}$$

где μ_{it} — подвижность в присутствии интерфейсных состояний; μ_o соответствует подвижности в “свежем” приборе; r_{it} — параметр, определяющий величину эффекта; r — расстояние от носителя до интерфейса Si/SiO₂; r_{it} — характерная длина, задающая, на каком расстоянии носители “чувствуют” заряд на интерфейсе. Величина N_f' соответствует плотности N_f с учетом заселенности ловушек, которая зависит от локальной электростатики прибора. Строго говоря, числа заполнения таких ловушек определяются статистикой Шокли—Рида—Холла

(ШРХ), т.е. следуют за изменениями локального положения уровня Ферми почти мгновенно. Однако в наших модельных представлениях оно фиксировано. Величины g_{it} и r_{it} являются подгоночными параметрами. Следует отметить, что квантово-механические эффекты и утечки на затворе игнорируются в разрабатываемой модели.

3. МОДЕЛИ ПОТЕНЦИАЛА И ТОКА ПРОТОТИПА

Рассмотрим в рамках ПЗР задачу определения распределения потенциала в конической рабочей области рассматриваемой транзисторной структуры. Из-за цилиндрической симметрии по координате Θ 3D-уравнение Пуассона можно преобразовать в 2D-уравнение в цилиндрической системе координат следующего вида [4, 5]:

$$\frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial}{\partial r} \varphi(r, z) \right) + \frac{\partial^2}{\partial z^2} \varphi(r, z) = \frac{q N_A}{\epsilon_S}, \tag{2}$$

где $\varphi(r, z)$ — двумерный электростатический потенциал в рабочей области (r — радиальное направление, z — вдоль канала (см. рис. 1)); q — заряд электрона; ϵ_S — диэлектрическая проницаемость рабочей области; N_A — концентрация легирования рабочей области.

Используя параболическую аппроксимацию потенциала [19], 2D-распределение потенциала можно записать в следующем виде:

$$\varphi(r, z) = \sum_{j=0}^2 \varphi_j(z) R'(z),$$

где $\varphi_0(z)$, $\varphi_1(z)$, $\varphi_2(z)$ — произвольные функции;

$$R'(z) = R_{\max} - \frac{\Delta R}{L_g} z.$$

Эти функции определяются с использованием граничных условий, приведенных ниже [20]:

$$C_i (U'_{gs} - \varphi_s(z)) = \varepsilon_s \frac{\partial \varphi(r, z)}{\partial r} \Big|_{r=R'};$$

$$\frac{\partial \varphi(r, z)}{\partial r} \Big|_{r=0} = 0;$$

$$\varphi(r, 0) = U_{bi};$$

$$\varphi(r, L_g) = U_{bi} + U_{ds},$$

где C_i — оксидная емкость на единицу площади в рабочей области; $\varphi(r, z) \Big|_{r=R'} = \varphi_s(z)$ — поверхностный потенциал; $U'_{gs} = U_{gs} - U_{FB}$, U_{gs} — напряжение на затворе, U_{FB} — напряжение плоских зон; U_{bi} — контактная разность потенциалов; U_{ds} — напряжение сток–исток.

Напряжение плоских зон может быть задано так: $U_{FB} = \varphi_m - \chi - E_g/2 + q_f/C_i$, где φ_m — рабочая функция металла затвора; χ — сродство к электрону; E_g — ширина запрещенной зоны кремния q_f предполагается плотностью заряда на границе раздела соответственно. Соотношение $\varepsilon_{ox}t_k / \varepsilon_k$ является эквивалентной толщиной оксида (ЕОТ) — диэлектрика с высокой диэлектрической проницаемостью k и толщиной t_k , то можно предположить, что роль диэлектрика с многослойным затвором такая же, как и у одиночного слоя чистого оксида кремния. Тогда ЕОТ стека можно представить в виде $t_{st} = t_{ox} + \varepsilon_{ox}t_k / \varepsilon_k$ [21].

Используя граничные условия, получим выражения функций φ_j в следующем виде:

$$\varphi_0(z) = \varphi_s(z) \left(\frac{C_i R'}{2\varepsilon_s} + 1 \right) - \left(\frac{C_i R'}{2\varepsilon_s} U'_{gs} \right);$$

$$\varphi_1(z) = 0;$$

$$\varphi_2(z) = \frac{C_i (U'_{gs} - \varphi_s(z))}{2\varepsilon_s R'}.$$

Подставляя полученное аппроксимационное выражение потенциала в формулу (2), уравнение Пуассона можно записать в терминах поверхностного потенциала φ_s в виде

$$\frac{\partial^2}{\partial r^2} \varphi_s(z) + \lambda^2 \varphi_s(z) = -\lambda^2 \Phi_0, \quad (3)$$

$$\text{где } \lambda^2 = \frac{2C_i}{\varepsilon_s R'} \text{ и } \Phi_0 = U'_{gs} + \frac{qN_A}{\varepsilon_s \lambda^2}.$$

Решение уравнения (3) позволяет получить обобщенный вид поверхностного потенциала в рабочей области в следующем виде:

$$\varphi_s(z) = \Phi_1 \exp(-\lambda(z - L_g)) + \Phi_2 \exp(\lambda(z - L_g)) + \Phi_0,$$

где

$$\Phi_1 = \frac{-\Phi_0 (-\exp(-\lambda L_g) + 1) + (U_{bi} - (U_{bi} + U_{ds}) \exp(-\lambda L_g))}{2 \sinh(\lambda L_g)};$$

$$\Phi_2 = \frac{\Phi_0 (-\exp(-\lambda L_g) + 1) - (U_{bi} - (U_{bi} + U_{ds}) \exp(\lambda L_g))}{2 \sinh(\lambda L_g)}.$$

В рамках ПЗР выражение для подпорогового тока исследуемого ГАА-нанотранзистора по аналогии с [4, 14, 22] можно представить следующим образом:

$$I_{ds} = 2\pi\mu_{low} (1 - \exp(-q\beta U_{ds})) \Big/ \beta \int_0^{L_g} \frac{dz}{R' \int_0^R dn_c(z, r)}, \quad (4)$$

где μ_{low} — эффективная низкополевая подвижность носителей с учетом механизма межфазной ловушки (1); $\beta = 1 / k_B T$, T — температура, k_B — константа Больцмана; $n_c(r, z)$ — распределение эффективной концентрации носителей по всему объему рабочей области: $n_c(r, z) = (\frac{n_i^2}{N_A}) \exp(-q\beta \varphi(r, z) / 2)$, n_i — собственная концентрация носителей в кремнии [23].

В рассматриваемом приближении общий заряд в канале транзистора n -типа состоит из подвижного и примесного. При условии низкого легирования рабочей области и полного обеднения ток транзистора определяется переносом подвижного заряда $Q_{mob}(r, z)$ и положением квазиуровня Ферми Φ_n . Условие низкой концентрации N_A важно, поскольку в данном случае распределение носителей будет более равномерным по каждому сечению рабочей области [24]. В результате уменьшается напряженность электрического поля, что способствует повышению подвижности носителей и снижению их рассеяния на границе [25]. Тогда выражение для плотности тока стока для фиксированных значений управляющих напряжений можно записать в виде [26]

$$i_{ds} = -2\pi\mu_{eff} (E'(r, z)) Q_{mob}(r, z) \frac{\partial \Phi_n}{\partial z}, \quad (5)$$

где $\mu_{eff}(E'(r, z))$ — эффективная подвижность носителей с учетом механизма (1); $E'(r, z)$ — эффективная напряженность электрического поля, которая зависит от конкретной точки рабочей области.

Выражение (5) объединяет дрейфовую и диффузную компоненты тока. В нашем приближении распределение зарядов можно записать в виде

$$n = n_i \exp(-q\beta(\phi(r, z) - \Phi_n(r, z))).$$

Значение тока стока получается двойным интегрированием по пространственным координатам выражения (5). Для получения общей ВАХ можно воспользоваться методом, рассмотренным в [27].

4. РЕЗУЛЬТАТЫ И ОБСУЖДЕНИЕ

Первоначально рассмотрим поведение распределения поверхностного потенциала вдоль рабочей области с учетом и без учета влияния механизма захвата заряда (МЗЗ) на межфазных ловушках в диапазоне значений N_f от 0.5×10^{12} до $2.5 \times 10^{12} \text{ см}^{-2}$, которые характерны для кремниевой GAA-нанотранзисторной цилиндрической структуры с исследуемой длиной рабочей области [17] при низких управляющих напряжениях. По результатам нашего моделирования для любого состояния интерфейса Si/SiO₂ электростатический потенциал практически постоянен во всей области канала для фиксированных U_{gs} , исключая быстрые изменения на стыках исток/канал и сток/канал. С ростом параметра N_f поверхностный потенциал в области постоянных значений пропорционально увеличивается примерно 42 мВ на шаг $1 \times 10^{12} \text{ см}^{-2}$. В совокупности это приведет к изменению ток стока транзистора во всех режимах [14].

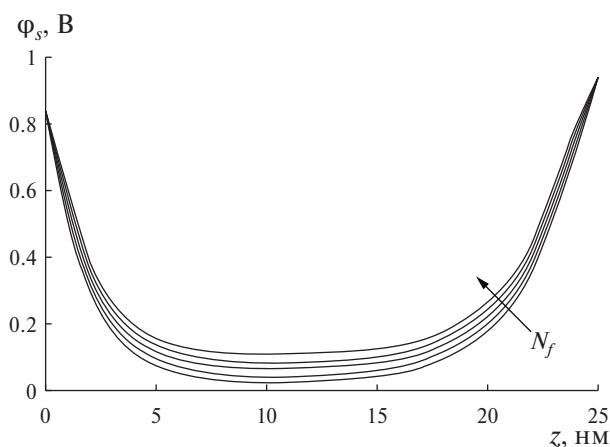


Рис. 2. Распределение поверхностного потенциала вдоль конической рабочей области с $R_{norm} = 0.7$ для различных плотностей N_f при $U_{gs} = U_{ds} = 0.1 \text{ В}$.

В [8] было показано, что для конической геометрии с уменьшением параметра R_{norm} изменяется форма распределения поверхностного потенциала. Ближе к области стока его кривизна уменьшается. Включение в моделирование механизма МЗЗ также влияет на величину поверхностного потенциала, однако в разных сечениях рабочей области его влияние разное. В области ближе к истоку он практически не отличается от цилиндрической. С того момента, что следует из результатов нашего моделирования и данных, полученных с помощью других пакетов приборно-технологического моделирования (этом практически во всем диапазон управляющих напряжений ошибка в среднем не превышает 15%), при $R_{norm} = 0.87$ значения поверхностного начинают отличаться. На рис. 2 приведены распределения потенциала ϕ_s для $R_{norm} = 0.7$ в исследуемом диапазоне значений N_f .

В данном случае наблюдается характерное искажение симметрии распределение потенциала. При этом сдвиг потенциала практически такой же и сохраняет пропорциональную зависимость от значения N_f . Сравнивая формы распределения потенциала для $R_{norm} = 0.7$ и $R_{norm} = 1$ для $N_f = 2 \times 10^{12} \text{ см}^{-2}$, приведенные на рис. 3, хорошо видны отличия в области около стока. В дальнейшем это проявится в ключевых электрофизических характеристиках.

В [8] показано, что коническая геометрия рабочей области GAA-нанотранзистора в некотором диапазоне параметра R_{norm} обеспечивает больший ток стока по сравнению с обычной цилиндрической рабочей областью. Это же свойство сохраняется в присутствии механизма МЗЗ. На рис. 4 приведены результаты расчетов максимального тока транзистора в диапазоне R_{norm} от 0.7 до 1.0, фиксированном $N_f = 2 \times 10^{12} \text{ см}^{-2}$ и максимальных управляющих напряжениях на затворе и стоке.

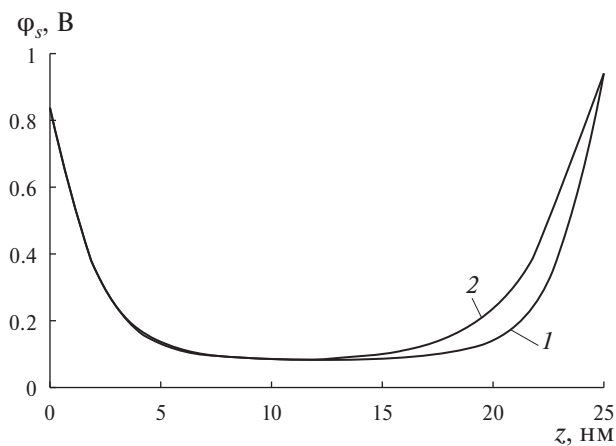


Рис. 3. Распределение поверхностного потенциала вдоль конической рабочей области для различных R_{norm} и фиксированной $N_f = 2 \times 10^{12} \text{ см}^{-2}$ при $U_{gs} = U_{ds} = 0.1 \text{ В}$, где 1 — $R_{norm} = 1$; 2 — $R_{norm} = 0.7$.

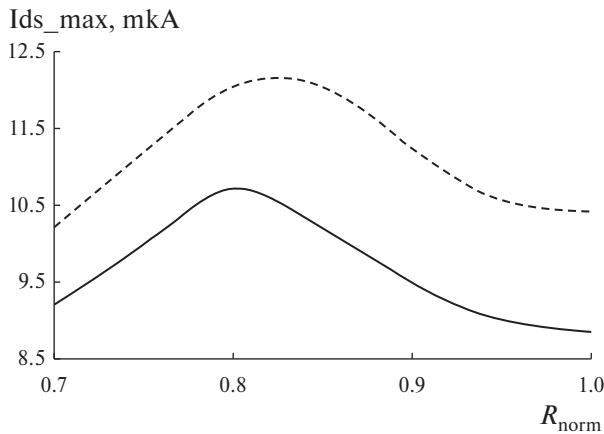


Рис. 4. Зависимость $I_{ds_max}(R_{\text{norm}})$ при $U_{ds} = U_{gs} = 0.6$ В.

Результаты моделирования подтверждают предположение об ухудшении тока I_{ds} из-за механизма МЗЗ. Наблюдается общее снижение уровня тока, которое возрастает с ростом параметра R_{norm} . При этом на зависимости $I_{ds_max}(R_{\text{norm}})$ также присутствует экстремум. При этом он практически соответствует тому же соотношению радиусов, что и в аналогичной характеристике прототипа, которая была рассчитана без учета МЗЗ. В экспериментах максимальный ток составляет 10.72 мкА при $R_{\text{norm}} = 0.81$. Для прототипа без учета МЗЗ эти параметры равны 12.15 мкА и 0.83 соответственно. Следует отметить, разница между максимальным током и током при $R_{\text{norm}} = 1$ в присутствии механизма МЗЗ снижается на 16%, однако отношение токов в процентном отношении сохраняется и составляет 14%. Следует отметить, что из результатов моделирования следует, что максимум проводимости также соответствует $R_{\text{norm}} = 0.81$. Поэтому свойство конического прототипа, который будет иметь больший коэффициент усиления по сравнению с цилиндрическим [28], сохраняется. Точность базовой модели (без учета МЗЗ) была проверена по методике используемой в [8] и было достигнуто хорошее согласование данных.

На рис. 5 приведена зависимость $I_{ds_max}(N_f)$. С уменьшением параметра N_f происходит практически пропорциональный рост тока стока с наклоном -0.6×10^{12} мкА/см⁻², что очевидно связано с уменьшением влияние механизма МЗЗ. Мы не исключаем, что за пределами рассматриваемого диапазона N_f зависимость $I_{ds_max}(N_f)$ будет вести себя по-другому.

Выше было отмечено, что в присутствии сгенерированных ловушек на интерфейсе рабочей области транзистора будет наблюдаться сдвиг порогового напряжения ΔU_{th} . На рис. 6 приведена зависимость данного параметра от плотности N_f для структур с оптимизированным значением R_{norm} , экстрагированных из ВАХ $I_{ds}(U_{gs})$ при $U_{ds} = 0.05$ В.

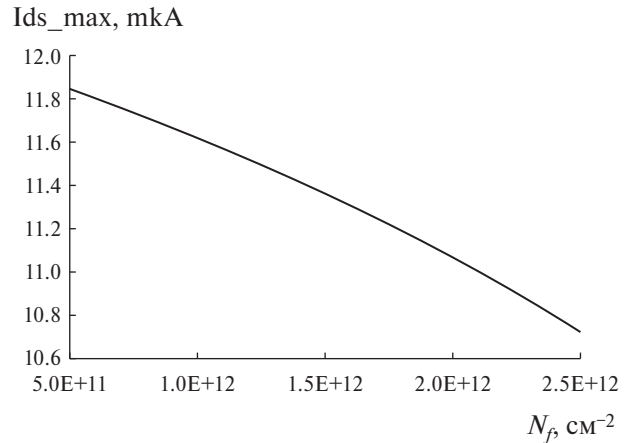


Рис. 5. Зависимость $I_{ds_max}(N_f)$ при U_{ds} , U_{gs} , аналогичных рис. 4.

Представленная зависимость носить линейных характер с наклоном 3×10^{11} мВ/см⁻² согласуется с зависимостью $I_{ds_max}(N_f)$, представленной выше.

Сдвиг порогового напряжения в конечном итоге скажется на следующих ключевых характеристиках транзистора. Подпороговый наклон (SS) является важным параметром для обеспечения статических и динамических характеристик кремниевых ГАА-нанотранзисторов. На рис. 7 приведены экстрагированные значения параметра SS для двух случаев без учета механизма МЗЗ и при наличии ловушек плотностью 2.5×10^{12} см⁻².

Наблюдается деградация подпорогового наклона. Это ожидаемо из-за того, что происходит сдвиг порогового напряжения и соответствующее возрастание подпорогового тока. При этом сохраняются все присущее конической геометрии свойства подпорогового наклона.

Из рис. 7 видно, что коническая конструкция характеризуется меньшим подпороговым наклоном по сравнению с цилиндрической. Для

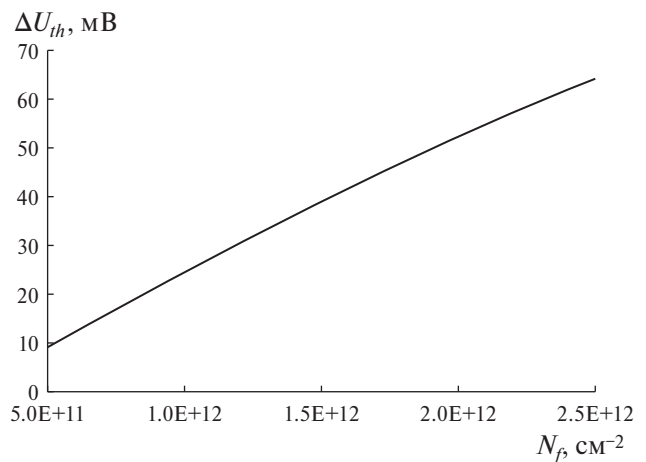


Рис. 6. Зависимость $\Delta U_{th}(N_f)$.

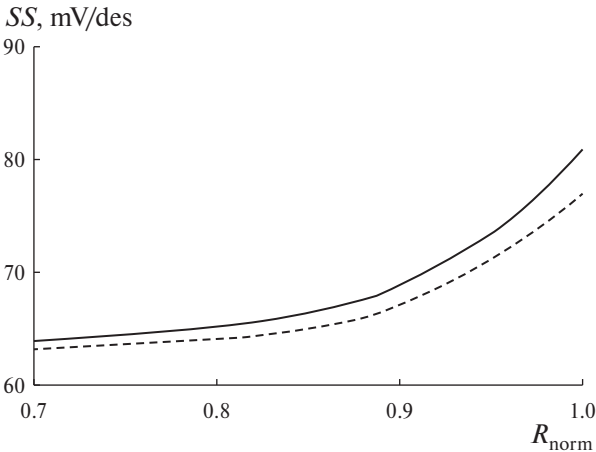


Рис. 7. Подпороговый наклон (SS) от R_{norm} , где сплошная линия — с учетом МЗЗ, пунктирная — без учета.

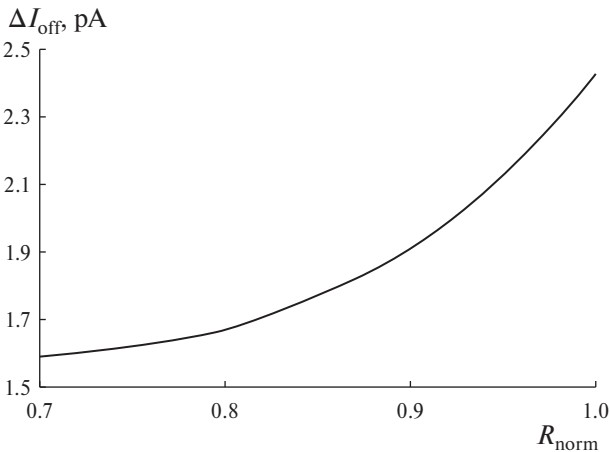


Рис. 8. Зависимость $\Delta I_{\text{off}}(R_{\text{norm}})$.

оптимизированной конструкции $SS = 65$ мВ/дес. С ростом параметра R_{norm} наблюдается практически экспоненциальный рост SS . После значения $R_{\text{norm}} = 0.85$ он становится критическим и для цилиндрической геометрии $SS = 81$ мВ/дес. Это указывает на усиление влияния ККЭ и ограничивает возможности масштабирования.

Аналогичное поведение присуще току I_{off} , который играет важную роль при определении быстродействия транзистора и микросхемы в целом, обеспечивая также ее помехозащищенность [2, 3]. Из рис. 8, где приведены экстрагированные из результатов моделирования значения разности тока I_{off} , следует: $\Delta I_{\text{off}} = I_{\text{off}}(N_{f-\text{max}}) - I_{\text{off}}(0)$.

Из приведенных данных можно сделать вывод, что сохраняются все присущее конической геометрии свойства тока утечки. Отметим, что в процентном отношении рост тока I_{off} утечки ниже, чем параметра SS . Можно отметить особенность зависимостей $I_{\text{off}}(R_{\text{norm}})$ и $SS(R_{\text{norm}})$. На участке $0.7\text{--}0.82$ они практически линейны с небольшой крутизной. Это свойство может быть полезно при изменении толщин пленок оксида гафния и кремния.

Изменения уровня токов I_{on} и I_{off} приводят к снижению их отношения. Для оптимизированной структуры при $N_{f-\text{max}}$ оно падает примерно 5 раз и составляет 2×10^5 , что является приемлемым результатом [3, 6]. Поэтому даже учет механизма МЗЗ не нарушает требования к коническим GAA-нанотранзисторам. Данный вывод не относится к структурам с цилиндрической геометрией из-за высоких значений параметров SS и I_{off} и низких значений $I_{\text{on}}/I_{\text{off}}$.

При масштабировании толщин оксидных пленок с сохранением параметра t_{sr} , например, увеличение толщины t_k вызывает соответствующее уменьшение параметра t_{ox} . Мы рассмотрели случаи $\pm 15\%$ отклонения t_k от первоначального значения и получили следующие результаты, представленные в табл. 2.

Таблица 2. Параметры масштабируемых прототипов

Параметр	Значение	
	Случай 1	Случай 2
$I_{\text{ds_max}}$, мкА	11.1	10.58
SS , дБ/дес	65.2	67.4

Для различных значений толщин SiO_2 и HfO_2 при фиксированной общей толщине ток стока $I_{\text{ds_max}}$ улучшен за счет использования оксида затвора с high- k из-за увеличения электрического поля на границе исток/канал. Таким образом, производительность кремниевого GAA-нанотранзистора со стеком подзатворного оксида $\text{SiO}_2/\text{HfO}_2$ может быть увеличена при уменьшении параметра t_{ox} . В дополнение к этому структура с увеличенной толщиной t_k отличается более низкими значениями SS и I_{off} . Полностью отказаться от слоя оксида кремния, вероятно, не представляется возможным, поскольку плотность состояний на границе SiO_2/Si меньше, чем на границе HfO_2/Si из-за большего несоответствия решетки [23].

ЗАКЛЮЧЕНИЕ

Разработана математическая модель кремниевого полевого GAA-нанотранзистора с конической геометрией со стековым $\text{SiO}_2/\text{HfO}_2$ подзатворным диэлектриком с учетом механизма захвата заряда на межфазной ловушке. Рассмотрен случай, когда рабочая область сужена со стороны стока по сравнению со стороны истока. При выборе геометрии рабочей области применено условие компенсации короткоканальных эффектов. В рамках приближения зарядового разделения разработана аналитическая 2D-модель распределения потенциала и основанные на нем модели прямого и подпорогового

токов. Выбран прототип транзистора с длиной рабочей области 25 нм, большим и меньшим радиусами 5 и 3.5 нм соответственно, со стеклом толщина пленки HfO_2 — 2 нм и пленки SiO_2 — 1 нм. В диапазоне управляющих напряжений 0–0.6 В и плотности межфазной ловушки от 0.5×10^{12} до $2.5 \times 10^{12} \text{ см}^{-2}$ численно исследовано поведение поверхностного потенциала, тока стока, подпорогового наклона в зависимости от значения отношения радиусов. Из результатов можно сделать вывод, что учет механизма захвата зарядов на межфазной ловушке приводит к деградации основных электрофизических характеристик ГАА-нанотранзистора примерно на 15% при плотности ловушек $2.5 \times 10^{12} \text{ см}^{-2}$. При этом наблюдается пропорциональная зависимость степени деградации от плотности ловушек. Помимо этого разработанная модель может быть использована для зондирования и изучения дефектов, вызванных горячими носителями.

ФИНАНСИРОВАНИЕ

Публикация выполнена в рамках НИР ФГУ ФНЦ НИИСИ РАН по теме № FNEF-2024-0003 “Методы разработки аппаратно-программных платформ на основе защищенных и устойчивых к сбоям систем на кристалле и сопроцессоров искусственного интеллекта и обработки сигналов”.

СПИСОК ЛИТЕРАТУРЫ

1. Usha C., Vimala P. Analytical drain current model for fully depleted surrounding gate TFET // *J. Nano Res.* 2018. V. 55. P. 75–81.
2. Nanoelectronics: Devices, Circuits and Systems // Editor by Brajesh Kumar Kaushik. Elsevier. 2018.
3. Tomar G., Barwari A. Fundamental of electronic devices and circuits // Springer. 2019. 224 p.
4. Colinge J.P. FinFETs and Other Multi-Gate Transistor // New York: Springer-Verlag. 2008. 339 p.
5. Ferain I., Colinge C.A., Colinge J. Multigate transistors as the future of classical metal–oxide–semiconductor field-effect transistors // *Nature*. 2011. V. 479. P. 310–316.
6. International Technology Roadmap for Semiconductors (ITRS) Interconnect, 2020 Edition. [Online] Available: <https://irds.ieee.org/editions/2020> (data access 12.12.2022).
7. Kumar S., Goel E., Singh K., Singh B., Kumar M., Jit S. A compact 2D analytical model for electrical characteristics of double-gate tunnel field-effect transistors with a SiO_2 /high-k stacked gate-oxide structure // *IEEE Trans. Electron Devices*. 2016. V. 63. P. 3291–3330.
8. Масальский Н.В. Моделирование кремниевых цилиндрических с полностью охватывающим затвором КМОП нанотранзисторов с переменным радиусом // *Микроэлектроника*. 2022. Т. 51. С. 220–225.
9. Koswatta S.O., Lundstrom M.S., Nikonov D.E. Performance comparison between pin tunneling transistors and conventional MOSFETs // *IEEE Trans. Electron. Dev.* 2009. V. 56. P. 456–463.
10. Yu Y.S., Cho N., Hwang S.W., Ahn D. Analytical threshold voltage model including effective conducting path effect (ECPE) for surrounding-gate MOSFETs (SGMOSFETs) with localized charges // *IEEE Trans. Electron. Dev.* 2010. V. 57. P. 3176–3180.
11. Abdi D.B., Kumar M.J. 2-D threshold voltage model for the double-gate pnpn TFET with localized charges // *IEEE Trans. Electron. Dev.* 2016. V. 63. P. 3663–3668.
12. Grassler T. (ed.). Bias Temperature Instability for Devices and Circuits // Springer Science + Business Media. New York, 2014.
13. Sahay S., Kumar M. Junctionless Field-Effect Transistors: Design, Modeling, and Simulation // Wiley-IEEE Press. 2019.
14. Lundstrom M., Guo J. Nanoscale Transistors: Device Physics, Modeling and Simulation // Springer: New York, 2006.
15. Schwierz F., Wong H., Liou J.J. Nanometer CMOS. Pan Stanford Publishing // Singapore. 2010.
16. Sano N. Physical issues in device modeling: Length-scale, disorder, and phase interference // *In 2017 International Conference on Simulation of Semiconductor Processes and Devices*, Sept. 2017. P. 1–4.
17. Fischetti M.V., Vandenbergh W.G. Advanced Physics of Electron Transport in Semiconductors and Nanostructures. New York, U.S.A.: Springer, 2016.
18. Reggiani S., Barone G., Poli S., Gnani E., Gnudi A., Baccarani G., Chuang M.-Y., Tian W., Wise R. TCAD simulation of hot-carrier and thermal degradation in STI-LDMOS transistors // *IEEE Trans. Electron Devices*. 2013. V. 60. P. 691–698.
19. Young K. K. Analysis of conduction in fully depleted SOI MOSFETs // *IEEE Trans. Electron Devices*. 1989. V. 36. P. 504–506.
20. Bardon M.G., Neves H.P., Puers R., Van Hoof C. Pseudo-two-dimensional model for double-gate tunnel FETs considering the junctions depletion regions // *IEEE Trans. Electron Devices*. 2010. V. 57. P. 827–834.
21. Chiang T.K., Chen M.L. A new analytical threshold voltage model for symmetrical double-gate MOSFETs with high-k gate dielectrics // *Solid-State Electron.* 2007. V. 51. P. 387–393.
22. He J., Chan M., Zhang X., Wang Y. A carrier-based analytic model for the undoped (lightly doped) cylindrical surrounding-gate MOSFETs // *Solid State Electron.* 2006. V. 50. P. 416–421.
23. Sze S.M. Physics of Semiconductor Device. 2nd edn. John Wiley & Sons Inc.: Hoboken, New Jersey.

24. *Karthigai Pandian M., Balamurugan N.B.* Analytical threshold voltage modeling of surrounding gate silicon nanowire transistors with different geometries // *J. Electric Eng. Technol.* 2014. V. 9. P. 742—751.
25. *Chiang T.-K.* A new quasi-3-D compact threshold voltage model for Pi-gate MOSFETs with the interface trapped charges // *IEEE Transactions on Nanotechnology.* 2015. V. 14. P. 555—560.
26. *Auth C.P., Plummer J.D.* Scaling theory for cylindrical, fully-depleted, surrounding-gate MOSFETs // *IEEE Trans. on Electron Devices.* 1997. V. 18. P. 74—76.
27. *Масальский Н.В.* Моделирование характеристик КМОП нанотранзистора с полностью охватывающим затвором и неравномерно легированной рабочей областью // *Микроэлектроника.* 2019. Т. 48. С. 436—444.
28. *Масальский Н.В.* Моделирование ВАХ ультратонких КНИ КМОП нанотранзисторов с полностью охватывающим затвором // *Микроэлектроника.* 2021. Т. 50. С. 436—444.
29. *Madan J., Chaujar R.* Gate drain underlapped-PNIN-GAA-TFET for comprehensively upgraded analog/RF performance // *Superlattices Microstruct.* 2017. V. 102. P. 17—26.

Simulation of silicon conical field effect GAA nanotransistors with stack SiO₂/HfO₂ dielectric of gate

© 2024 N. V. Masalsky¹, *

¹*Federal Research Center Scientific Research Institute for System Research,
Russian Academy of Sciences Academy, Moscow, Russia*

*E-mail: volkov@niisi.ras.ru

The issues of modeling the electrophysical characteristics of a silicon conical field effect GAA nanotransistor are discussed. An analytical model of the drain current of a transistor with a fully enclosing conical gate with a stack sub-gate oxide SiO₂/HfO₂ has been developed, taking into account the effect of the charge of the interphase trap at the Si/SiO₂ interface. To simulate the potential distribution in a conical working area under the condition of constant trap density, an analytical solution of the Poisson equation was obtained using the method of parabolic approximation in a cylindrical coordinate system with appropriate boundary conditions. The potential model was used to develop an expression for the GAA drain current of a nanotransistor with a stack gate oxide. The key electrophysical characteristics are numerically investigated depending on the density of traps and the thicknesses of SiO₂ and HfO₂ layers.

Keywords: silicon nanotransistor architecture, fully enclosing gate, conical working area, high-k gate stack dielectric, simulation

REFERENCES

1. *Usha C., Vimala P.* Analytical drain current model for fully depleted surrounding gate TFET // *J. Nano Res.* 2018. V. 55. P. 75—81. <https://doi.org/10.4028/www.scientific.net/JNanoR.55.75>
2. *Nanoelectronics: Devices, Circuits and Systems.* Editor by *Brajesh Kumar Kaushik.* Elsevier. 476, 2018. ISBN: 9780128133545.
3. *Tomar G., Barwari A.* Fundamental of Electronic Devices and Circuits. Springer. 2019. ISBN: 9789811502668. 224 p.
4. *Colinge J.P.* FinFETs and Other Multi-Gate Transistor. Springer-Verlag. New York 2008. ISBN: 9780387717517. 339 p.
5. *Ferain I., Colinge C.A., Colinge J.* Multigate transistors as the future of classical metal—oxide—semiconductor field-effect transistors // *Nature.* 2011. V. 479. P. 310—316. <https://doi.org/10.1038/nature10676>
6. International Technology Roadmap for Semiconductors (ITRS) Interconnect, 2020 Edition. [Online] Available: <https://irds.ieee.org/editions/2020> (Accessed on December 12, 2022).
7. *Kumar S., Goel E., Singh K., Singh B., Kumar M., Jit S.* A compact 2D analytical model for electrical characteristics of double-gate tunnel field-effect transistors with a SiO₂/high-k stacked gate-oxide structure // *IEEE Trans. Electron Devices.* 2016. V. 63. P. 3291—3330. <https://doi.org/10.1109/TED.2016.2572610>
8. *Masalsky N.V.* Modeling silicon cylindrical CMOS nanotransistors with a fully enclosed variable-radius gate // *Russian Microelectronics.* 2022. V. 51. P. 220—225. <https://doi.org/10.1134/S1063739722040084>
9. *Koswatta S.O., Lundstrom M.S., Nikonov D.E.* Performance comparison between pin tunneling transistors and conventional MOSFETs // *IEEE Trans. Electron. Dev.* 2009. V. 56. P. 456—463. <https://doi.org/10.1109/TED.2008.2011934>

10. Yu Y.S., Cho N., Hwang S.W., Ahn D. Analytical threshold voltage model including effective conducting path effect (ECPE) for surrounding-gate MOSFETs (SGMOSFETs) with localized charges // IEEE Trans. Electron. Dev. 2010. V. 57. P. 3176—3180. <https://doi.org/10.1109/TED.2010.2066278>
11. Abdi D.B., Kumar M.J. 2-D threshold voltage model for the double-gate pnpn TFET with localized charges // IEEE Trans. Electron. Dev. 2016. V. 63. P. 3663—3668. <https://doi.org/10.1109/TED.2016.2589927>
12. Grassler T. (ed.). Bias Temperature Instability for Devices and Circuits. Springer Science + Business Media, New York/ 2014. ISBN: 9781461479086. 810 p.
13. Sahay S., Kumar M. Junctionless Field-Effect Transistors: Design, Modeling, and Simulation. IEEE Press, Wiley, 2019. ISBN: 9781119523536. 496 p.
14. Lundstrom M., Guo J. Nanoscale Transistors: Device Physics, Modeling and Simulation. Springer, New York, 2006. ISBN 9780387280028. 218p.
15. Schwierz F., Wong H., Liou J.J. Nanometer CMOS. Pan Stanford Publishing. Singapore, 2010. ISBN: 9789814241083. 350p.
16. Sano N. Physical issues in device modeling: Length-scale, disorder, and phase interference // In 2017 International Conference on Simulation of Semiconductor Processes and Devices, Sept. 2017. P. 1—4. <https://doi.org/10.23919/SISPAD.2017.8085249>
17. Fischetti M.V., Vandenbergh W.G. Advanced Physics of Electron Transport in Semiconductors and Nanostructures. Springer. USA, 2016. ISBN 9783319011004. 474 p.
18. Reggiani S., Barone G., Poli S., Gnani E., Gnudi A., Baccarani G., Chuang M.-Y., Tian W., Wise R. TCAD simulation of hot-carrier and thermal degradation in STI-LDMOS transistors // IEEE Trans. Electron Devices. 2013. V. 60. P. 691—698. <https://doi.org/10.1109/TED.2012.2227321>
19. Young K.K. Analysis of conduction in fully depleted SOI MOSFETs // IEEE Trans. Electron Devices. 1989. V. 36. P. 504—506. <https://doi.org/10.1109/16.19960>
20. Bardon M.G., Neves H.P., Puers R., Van Hoof C. Pseudo-two-dimensional model for double-gate tunnel FETs considering the junctions depletion regions // IEEE Trans. Electron Devices. 2010. V. 57. P. 827—834. <https://doi.org/10.1109/TED.2010.2040661>
21. Chiang T.K., Chen M.L. A new analytical threshold voltage model for symmetrical double-gate MOSFETs with high-k gate dielectrics // Solid-State Electron. 2007. V. 51. P. 387—393. <https://doi.org/10.1016/j.sse.2007.01.026>
22. He J., Chan M., Zhang X., Wang Y. A carrier-based analytic DVIC model for long channel undoped cylindrical surrounding-gate MOSFETs // Solid State Electron. 2006. V. 50. P. 416—421. <https://doi.org/10.1016/j.sse.2006.01.015>
23. Sze S.M. Physics of Semiconductor Device (2nd edn) // John Wiley and Sons Ltd, USA, 1981. ISBN: 978-0471098379. 868p.
24. Karthigai Pandian M., Balamurugan N.B. Analytical threshold voltage modeling of surrounding gate silicon nanowire transistors with different geometries // J. Electric Eng. Technol. 2014. V. 9. No. 6. P. 2079—2088. <https://doi.org/10.5370/JEEET.2014.9.6.2079>
25. Chiang T.-K. A new quasi-3-D compact threshold voltage model for Pi-gate MOSFETs with the interface trapped charges // IEEE Transactions on Nanotechnology. 2015. V. 14. P. 555—560. <https://doi.org/10.1109/TNANO.2015.2416198>
26. Auth C.P., Plummer J.D. Scaling theory for cylindrical, fully-depleted, surrounding-gate MOSFETs // IEEE Trans. on Electron Devices. 1997. V. 18. P. 74—76. <https://doi.org/10.1109/55.553049>
27. Masal'skii N.V. Modeling the CMOS characteristics of a completely depleted surrounding-gate nanotransistor and an unevenly doped working region // Russian Microelectronics. 2019. V. 48. P. 394—401. <https://doi.org/10.1134/S1063739719060052>
28. Masalsky N.V. CVC simulation of ultrathin Soi-Cmos nanotransistors with a fully enclosed gate // Russian Microelectronics. 2021. V. 50. P. 387—393. <https://doi.org/10.1134/S1063739721050036>
29. Madan J., Chaujar R. Gate drain underlapped-PNIN-GAA-TFET for comprehensively upgraded analog/RF performance // Superlattices Microstruct. 2017. V. 102. P. 17—26. <https://doi.org/10.1016/j.spmi.2016.12.034>