

МАТЕРИАЛЫ ДЛЯ МЕЖСОЕДИНЕНИЙ ИНТЕГРАЛЬНЫХ СХЕМ С ПРОЕКТНЫМИ НОРМАМИ МЕНЕЕ 5 нм

© 2024 г. А. Е. Рогожин^{а, *}, О. Г. Глаз^{а, b, **}

^аФизико-технологический институт им. К.А. Валиева РАН, Москва, Россия

^bНациональный исследовательский университет “МЭИ”, Москва, Россия

*E-mail: rogozhin@ftian.ru

**E-mail: glaz@ftian.ru

Поступила в редакцию 28.10.2023 г.

После доработки 10.11.2023 г.

Принята к публикации 10.11.2023 г.

По мере масштабирования интегральных схем на нижних уровнях системы металлизации возникает проблема — сопротивление медных дорожек быстро растет с уменьшением размеров. Это связано с увеличением вклада рассеяния электронов на поверхности и на границах зерен. Кроме того, для медных линий требуются барьерные слои фиксированной толщины, необходимые для предотвращения диффузии меди в low- k диэлектрик. Когда сечение дорожек уменьшается, вклад барьерных слоев в сопротивление дорожки оказывается слишком высоким. К тому же, при ширине дорожки менее 10 нм устойчивость меди к электромиграции оказывается недостаточна. Поэтому необходимо искать альтернативные материалы на замену меди, которые будут обеспечивать высокую устойчивость к электромиграции и низкое сопротивление дорожек. Наиболее перспективными кандидатами являются Ru, Mo, Rh, Ir. Достоинства и недостатки этих материалов рассмотрены в данной работе.

Ключевые слова: межсоединения, дамасцен процесс, low- k диэлектрики, рутений, кобальт, молибден, иридий, родий

DOI: 10.31857/S0544126924010111

1. ВВЕДЕНИЕ

В течение нескольких десятилетий микроэлектронная промышленность следовала закону Мура, который предсказывал, что количество транзисторов в интегральной схеме (ИС) будет удваиваться каждые два года. Следовать этому эмпирическому закону удавалось из-за сочетания масштабирования, внедрения новых литографических методов, инновационных структур, совместной оптимизации дизайна и технологии, усовершенствования оборудования и интеграции новых материалов.

Одним из новых материалов, который был внедрен для уменьшения RC -задержек систем межсоединений, в середине 1990-х гг. была медь. Благодаря низкому удельному сопротивлению и высокой устойчивости к электромиграции, медь стала основным материалом в межсоединениях на последующие три десятилетия [1]. Однако разработка процесса плазмохимического травления меди в рамках изготовления ИС оказалась чрезвычайно трудной задачей [2, 3]. Поэтому был разработан дамасцен процесс, основанный на травлении канавок и отверстий в диэлектрике, заполнении их металлом, и выравнивании структур с помощью химико-механической планаризации

(ХМП) [1]. Кроме того, существует двойной дамасцен процесс, в котором два уровня металлизации изготавливаются на одном этапе, что дает значительное преимущество по стоимости в сравнении с остальными методами.

По мере масштабирования ИС на нижних уровнях системы металлизации возникает необходимость формирования линий с шириной менее 10 нм. Сопротивление медных дорожек быстро растет с уменьшением размеров. Это связано с увеличением вклада рассеяния электронов на поверхности и на границах зерен [4, 5]. Кроме того, для медных линий требуются барьерные слои фиксированной толщины, необходимые для предотвращения диффузии меди в low- k диэлектрик. Поэтому, когда сечение дорожек уменьшается, вклад барьерных слоев в сопротивление дорожки может оказаться слишком высоким. К тому же устойчивость меди к электромиграции при ширине дорожки менее 10 нм оказывается недостаточна.

Компания Intel начала использовать кобальт в качестве проводника для первых двух уровней системы металлизации в 10-нанометровом технологическом процессе [6]. Несмотря на более высокое

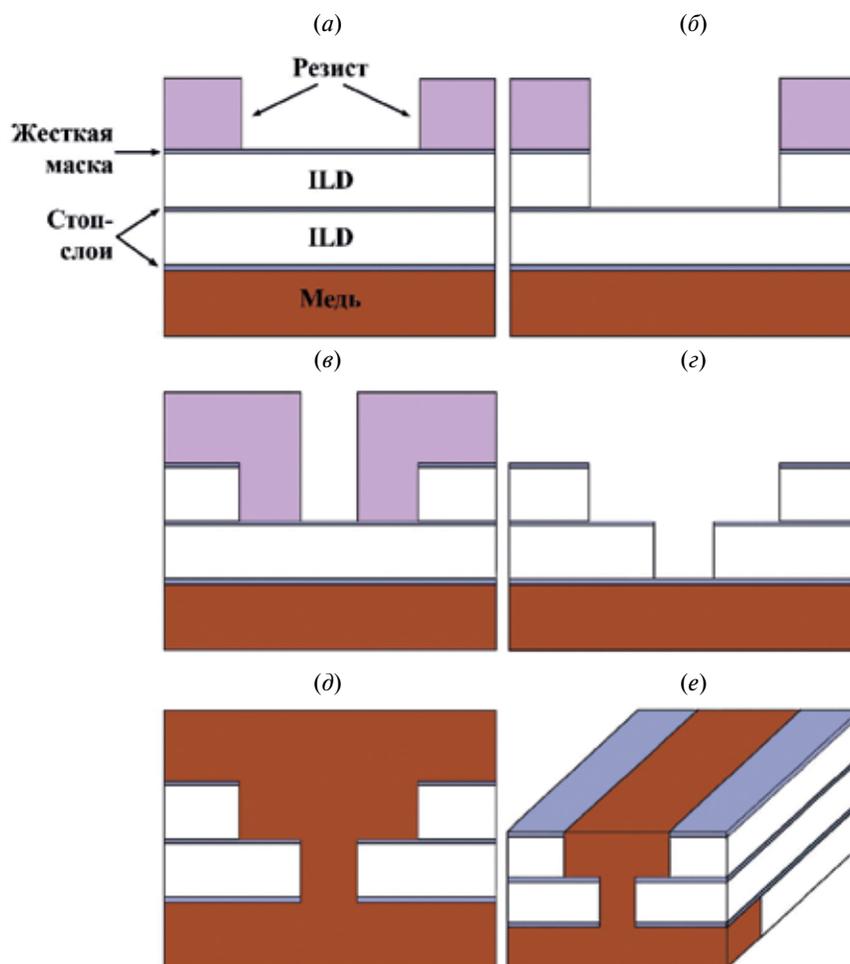


Рис. 1. Процесс TFVL.

сопротивление линий, чем у меди, кобальт, с его высокой устойчивостью к электромиграции и низким сопротивлением вертикальных контактов, соединяющих уровни системы металлизации, лучше подходит для дорожек шириной менее 20 нм [7, 8].

Таким образом, металлы межсоединений, не требующие барьерных слоев, имеющие низкое сопротивление вертикальных контактов, обладающие хорошей устойчивостью к электромиграции, обеспечивают значительные преимущества в проводимости и надежности [9–12]. Поэтому в настоящее время проводятся исследования с целью найти альтернативные материалы для замены меди на нижних уровнях металлизации.

2. МЕЖСОЕДИНЕНИЯ НА ОСНОВЕ МЕДИ

2.1. Медная технология

В сравнении с алюминием медь имеет более низкое удельное сопротивление и более устойчива к электромиграции. Благодаря низкому удельному

сопротивлению чипы с межсоединениями на основе меди демонстрируют более низкое энергопотребление. Поэтому при использовании меди возможно дальнейшее повышение плотности ИС. Высокая устойчивость к электромиграции меди обеспечивает существенный рост надежности ИС. Еще одним преимуществом меди является то, что нет необходимости в использовании вольфрама для соединения уровней металлизации друг с другом, а следовательно, исключаются дополнительные этапы процесса, а также проблемы с тепловыделением на границе раздела различных материалов. Однако у меди есть значительные недостатки — она обладает высокой диффузионной активностью, требующей применения барьерных слоев, а плазмохимическое травление меди в рамках процесса изготовления ИС — чрезвычайно сложный процесс [2, 3] из-за отсутствия летучих побочных продуктов. Поэтому для меди был разработан аддитивный метод — дамасцен процесс.

2.2. Дамасцен процесс

В этом процессе на поверхность пластины наносится low-k диэлектрик. Далее проводится плазмохимическое травление вертикальных отверстий (Via) и канавок (Trench) для проводящих линий [13, 14]. Затем медь осаждается с помощью CVD или в электрохимических/гальванических процессах [15]. В конце этапа медь планаризируется в процессе ХМП.

Дамасцен процесс бывает одиночным и двойным. В свою очередь, двойной дамасцен процесс подразделяют на VFTL (VIA First Trench Last) и TFVL (Trench First VIA Last) [16].

В *одиночном* дамасцен процессе слой с вертикальным отверстием и слой с канавками наносятся и структурируются друг за другом, так что требуется значительно больше этапов, чем в двойном, что экономически нецелесообразно.

В *двойном* дамасцен процессе на предыдущий слой металлизации наносится стек из слоев диэлектрика с низкой относительной диэлектрической проницаемостью (low-k), стоп-слоя и пассивирующего покрытия. В качестве материалов стоп-слоев для травления и пассивирующих покрытий применяются нитрид кремния (SiN) или карбид кремния (SiC).

Затем в процессе TFVL:

- с помощью литографии формируется резистивная маска (рис. 1, а);
- жесткая маска (SiN) и межслойный диэлектрик (ILD) протравливаются в процессе анизотропного сухого травления до тех пор, пока не будет

достигнут первый стоп-слой для травления. Затем резист удаляется (рис. 1, б);

- после этого проводится второй процесс литографии (рис. 1, в);
- проводится анизотропное травление нижнего слоя ILD. Нижний стоп-слой защищает медь предыдущего уровня металлизации от распыления;
- резист удаляется и наносится тонкий слой (Ta/TaN) в качестве барьера, предотвращающего диффузию осаждаемой позднее меди в ILD (рис. 1, г);
- наносится тонкий затравочный слой меди с помощью магнетронного распыления (рис. 1, д). С этим слоем проводится процесс электрохимического осаждения меди в вертикальные отверстия и канавки;
- проводится планаризация нанесенной меди в процессе ХМП (рис. 1, е).

Большим недостатком этого процесса является толстый слой резиста, который осаждается после травления канавок. Создать необходимые отверстия в таком толстом слое резиста сложно. По этой причине метод TFVL используется только в сравнительно крупных структурах.

В процессе VFTL:

- с помощью литографии формируется маска, и далее производится анизотропное травление ILD до тех пор, пока не будет достигнут нижний стоп-слой. Стоп-слой при этом не вскрывается (рис. 2, а). После этого резист удаляется;
- проводится второй процесс литографии, в результате которого нижний стоп-слой покрывается резистом (рис. 2, б);

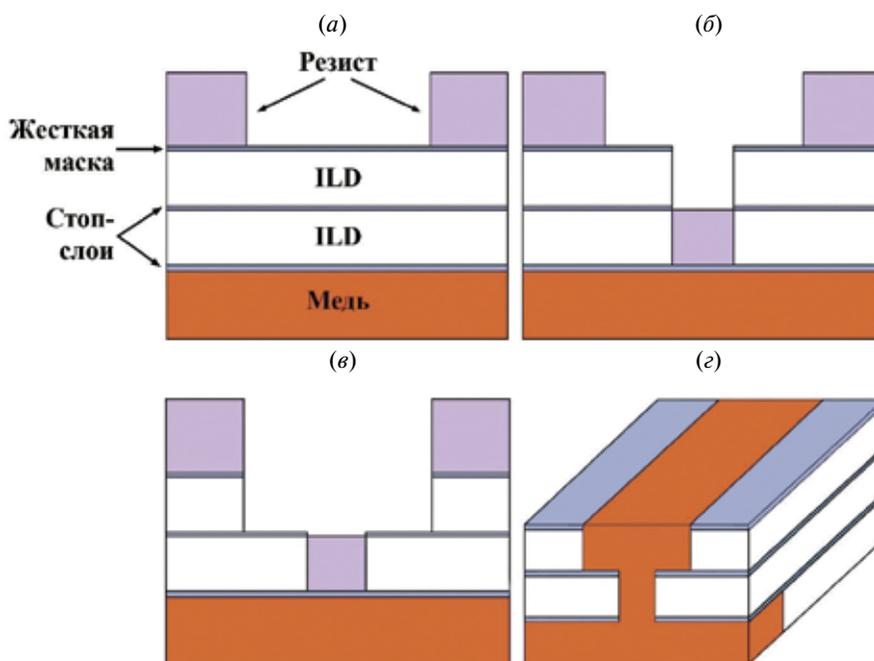


Рис. 2. Процесс VFTL.

· выполняются плазмохимическое травление области канавки, удаление резиста из нижней части вертикального отверстия и вскрытие стоп-слоя. Наносятся барьерный слой (нитрид тантала—тантал) и тонкий затравочный слой меди, далее проводится электрохимическое осаждение меди (рис. 2, в);

· производится планаризация с помощью ХМП (рис. 2, г).

2.3. Low-*k* технология

При миниатюризации структур интегральных схем расстояние между проводящими линиями в вертикальном и горизонтальном направлениях уменьшается. Для изоляции проводников друг от друга используются дополнительные слои межслойного диэлектрика (ILD).

Если проводники идут параллельно или пересекаются друг с другом на разных уровнях (рис. 3), возникают паразитные емкости. Величина паразитной емкости влияет на электрические характеристики, например, на скорость переключения и энергопотребление.

Емкость C можно оценить по формуле плоского конденсатора:

$$C = \frac{\varepsilon_0 k S}{d}, \quad (1)$$

где ε_0 — электрическая постоянная; k — относительная диэлектрическая проницаемость ILD; S — площадь электродов; d — расстояние между электродами.

Снизить паразитную емкость можно, если уменьшить ε и S или увеличить d . Поскольку уменьшить площадь электродов и увеличить расстояние между линиями невозможно в силу правил масштабирования, единственный доступный способ снизить паразитную емкость — уменьшить k , поэтому необходимы диэлектрики с низким значением k — low- k диэлектрики.

Традиционный диэлектрик SiO_2 имеет относительную диэлектрическую проницаемость 3.9. Материалы, k которых меньше, чем у SiO_2 , называются low- k диэлектриками, или ultra low- k (если k менее 2.4) [19].

Для уменьшения диэлектрической проницаемости материала существует два основных подхода:

1) уменьшение поляризуемости связей внутри диэлектрика с помощью изменения состава;

Таблица 1. Органические оксиды кремния

Химическая формула	k
SiO_2	4.0
$\text{SiO}_{1.5}\text{CH}_3$	3.0
$\text{SiO}(\text{CH}_3)_2$	2.7
$\text{SiO}_{0.5}(\text{CH}_3)_3$	2.55

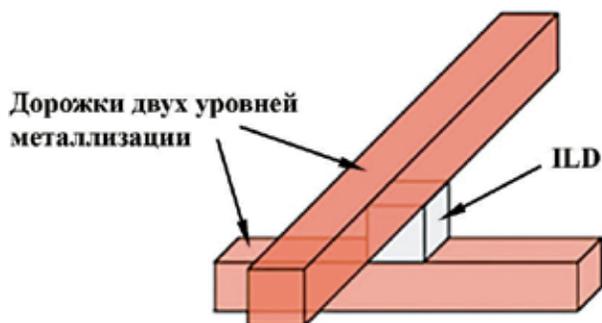


Рис. 3. Пересечение двух дорожек.

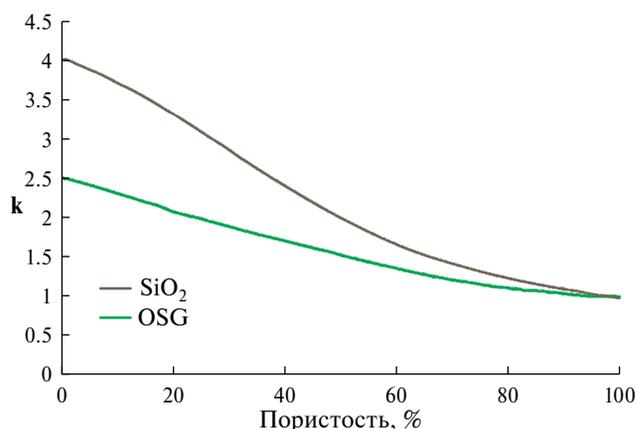


Рис. 4. Зависимость относительной диэлектрической проницаемости от пористости.

2) уменьшение количества связей за счет создания пористости в диэлектрике.

Поляризуемость может быть уменьшена с помощью использования материалов с меньшим количеством полярных групп. Это фторированные (FSG, $k = 3.6$) или органические (OSG) оксиды кремния (табл. 1) [17, 18]. Однако для более мелких структур этого подхода недостаточно, поэтому используются пористые структуры. Поры могут быть созданы путем добавления полимеров, которые затем удаляются в процессе термического отжига. В случае SiO_2 необходима пористость (доля объема пор в общем объеме пористого тела) около 50% для достижения диэлектрической проницаемости 2. Если используется диэлектрик с диэлектрической проницаемостью 2.5, необходимо создать пористость 22% для достижения диэлектрической проницаемости 2 (рис. 4).

Однако у этого подхода есть несколько недостатков. У пористого материала механическая прочность оказывается ниже. Кроме того, технологические газы или медь могут диффундировать в поры, вызывая увеличение диэлектрической проницаемости или токи утечки. Для нивелирования этих проблем необходимо, чтобы поры были

распределены равномерно в объеме слоя и не соприкасались друг с другом. Чтобы избежать диффузии меди в ILD, требуются барьерные слои.

Low-k диэлектрики содержат органические компоненты, поэтому в процессе проявления свойства ILD могут меняться. Чтобы решить эту проблему, необходимо нанесение дополнительных слоев (например, нитрида кремния в качестве жесткой маски).

3. ПРОБЛЕМЫ, ВОЗНИКАЮЩИЕ НА НИЖНИХ УРОВНЯХ МЕТАЛЛИЗАЦИИ

По мере уменьшения масштабов медных межсоединений на нижних уровнях металлизации возникают проблемы: увеличение удельного сопротивления вследствие размерного эффекта и электромиграция. Эти проблемы приводят к снижению энергоэффективности и надежности, а также к увеличению задержек.

3.1. Размерный эффект

Увеличение удельного сопротивления с уменьшением размеров называется размерным эффектом. Его основными причинами являются процессы рассеяния электронов на внешней поверхности и границах зерен. Существуют классические модели Фукса—Зондхеймера (ФС) и Майадаса—Шацкеса (МС), которые учитывают эти эффекты. В приближениях первого порядка вклады от этих эффектов добавляются к удельному сопротивлению. Второе слагаемое в уравнении (2) является вкладом рассеяния электронов на внешней поверхности и на границе между металлом и затравочным слоем, а третье слагаемое — вкладом от рассеяния на границах зерен:

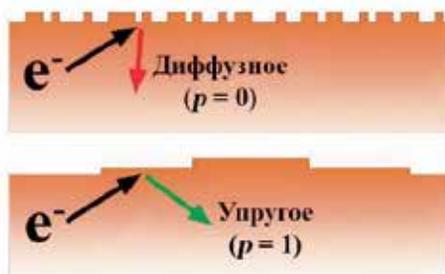
$$\rho = \rho_0 + \rho_0 \lambda \frac{3(1-p)}{4d} + \rho_0 \lambda \frac{3R}{2D(1-R)}, \quad (2)$$

где ρ_0 — удельное объемное сопротивление; λ — средняя длина свободного пробега электрона; p — феноменологический параметр рассеяния; d — ширина дорожки; R — коэффициент отражения электрона от границы; D — размер зерна.

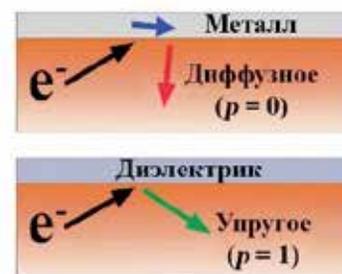
(a)



(б)



(в)



Увеличение вклада рассеяния электронов на внешней поверхности, в том числе на границе между металлом и затравочным слоем, является одной из основных причин увеличения удельного сопротивления межсоединений с уменьшением ширины линий. В классической модели Фукса—Зондхеймера [23, 24] для учета этого эффекта вводится феноменологический параметр рассеяния p . Когда $p = 0$, рассеяние является диффузным, а когда $p = 1$ — упругим (рис. 5, а). Диффузное рассеяние вызывает случайное изменение импульса электрона. При упругом рассеянии сохраняется составляющая импульса, параллельная поверхности. Превалирование механизма упругого рассеяния способствует уменьшению сопротивления линий.

К структурам для преобладания упругого рассеяния на границе раздела предъявляются два ключевых требования:

1. Граница должна быть атомарно гладкой. Это требование особенно критично при высокой локальной шероховатости (рис. 5, б). Ранее показано, что при низкой локальной шероховатости преимущественно наблюдается упругое рассеяние электронов на атомарно гладких уступах [25, 26]. Наличие слоев Ta и Ti на поверхности Cu может приводить к росту локальной шероховатости [27].

2. Плотность состояний на границе должна быть низкой, поскольку локализованные состояния могут выступать центрами рассеяния электронов, что в свою очередь приводит к преобладанию диффузного рассеяния (рис. 5, в). Это было показано экспериментально на эпитаксиальных слоях Cu (001), покрытых металлическими или диэлектрическими слоями. Добавление двух монослоев Al или четырех монослоев Ti на Cu приводит к преобладанию диффузного рассеяния электронов на поверхности [28, 29]. Однако последующее окисление этих слоев с образованием оксидов приводит к снижению удельного сопротивления из-за перехода к упругому рассеянию на границе между Cu и поверхностными оксидами [29]. Стоит отметить, что прямое окисление поверхности Cu не приводит к такому же снижению удельного сопротивления [30], потому

Рис. 5. Поверхностное рассеяние электронов (а) может быть упругим и диффузным. Для преобладания упругого рассеяния требуется (б) атомарно гладкая поверхность и диэлектрический затравочный слой с низкой плотностью локализованных состояний (в).

что граница Cu/CuO не является атомарно гладкой. Рассеяние на границах зерен также увеличивает сопротивление линий. Размер зерен в проводящих дорожках обычно зависит от ширины самой дорожки, поэтому в узких дорожках формируются мелкие зерна, а плотность границ зерен оказывается высокой. Вклад в сопротивление дорожки от рассеяния на границах зерен обратно пропорционален размеру зерна D и увеличивается с ростом коэффициента отражения электрона от границы R (рис. 6, *a*).

Есть два возможных пути уменьшения этого вклада:

1) увеличение размера зерна D . Если D намного больше, чем длина свободного пробега электрона, то вклад рассеяния электронов на границах зерен пренебрежимо мал по сравнению с вкладом электрон-фононного рассеяния. В частности, вклад в удельное сопротивление из-за рассеяния на границах зерен становится незначительным (менее 10%), если предположить, что размер зерна превышает 200 нм, средняя длина свободного пробега электрона составляет 30 нм, а коэффициент отражения электрона от границы — 30%. Также для узких дорожек рассеяние на границах зерен незначительно, если размер зерна намного больше, чем ширина дорожки. Его вклад в удельное сопротивление составляет менее 10%, если D в 10 раз больше ширины линии d ;

2) уменьшение коэффициента отражения электрона от границы R . Среднее R определяется экспериментально, путем количественной оценки распределения зерен по размерам и его влияния на удельное сопротивление. Например, для Cu $R = 0.25–0.43$ [31–35]. Но R может сильно меняться в зависимости от формы границ [36].

Для того чтобы снизить коэффициент отражения электрона от границы R , необходимо добиться:

1) небольшого изменения потенциала на границе. Рис. 6, *б* иллюстрирует, что для границы зерен, на которой узлы кристаллических решеток совпадают, характерно низкое изменение потенциала и, соответственно, низкая вероятность отражения электронов. В ином случае (рис. 6, *в*) пространственный заряд приводит к большому потенциальному барьеру и, соответственно, более высокому коэффициенту отражения электронов [37]. Необходимо либо изменить технологию формирования дорожек для получения таких границ, либо использовать легирующие примеси, компенсирующие пространственный заряд (рис. 6, *г*);

2) хорошего согласования электронных состояний вблизи поверхности Ферми в двух соседних зернах. Электрон, сталкивающийся с границей зерна с энергией E и импульсом p , может пересечь границу без рассеяния, если существует свободное состояние с такой же энергией E и таким же импульсом p в соседнем зерне. Согласование

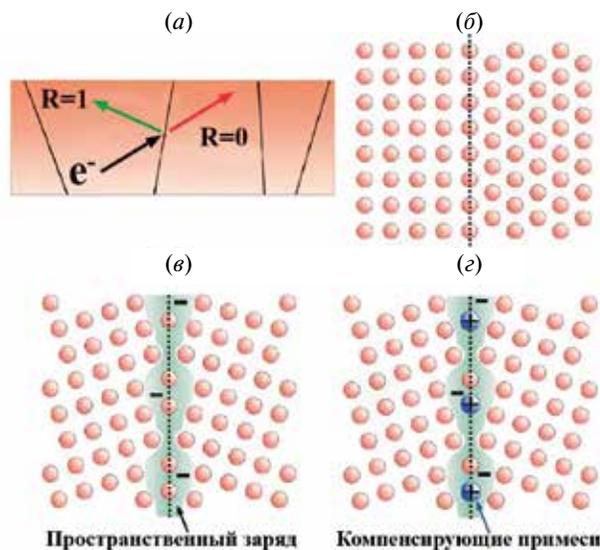


Рис. 6. Коэффициент отражения электрона от границы (*a*), граница зерен с совпадающими узлами решеток (*б*), с пространственным зарядом (*в*) и с компенсацией пространственного заряда (*г*).

электронных состояний определяется материалом проводника.

Классические модели Фукса—Зондхеймера и Майадаса—Шацкеса хорошо предсказывают вклады только до определенных размеров дорожек. Начиная с размеров менее 10 нм оценки начинают расходиться с экспериментальными данными [20–22]. Активно разрабатываются новые квантово-механические модели, которые смогут преодолеть ограничения классических моделей за счет правильного учета квантования и когерентного рассеяния на поверхностях, на границах зерен и в объеме проводника [21].

3.2. Электромиграция

Электромиграция — явление, при котором атомы металла перемещаются в проводнике под воздействием тока [38].

При высокой температуре и плотности тока движущиеся под действием электрического поля электроны сталкиваются с атомами решетки, передавая им часть импульса. Это приводит к постепенному перемещению атомов в сторону положительно заряженного электрода. В результате в проводнике появляются зоны, обедненные веществом. Сопротивление и плотность тока в этих зонах существенно возрастают, что приводит к еще большему локальному нагреву. Эффект электромиграции может привести к частичному или полному разрушению дорожки [39]. При уменьшении размеров ИС и увеличении их плотности вероятность возникновения дефектов из-за эффекта электромиграции существенно возрастает, так как плотность тока внутри схем растет [40].

Формирование пустот происходит в результате образования вакансий и их последующей коалесценции [41]. Влияние пустот на сопротивление особенно значительно в вертикальных дорожках и дорожках малых размеров. Разрушение начинается вблизи вертикальной дорожки, соединяющей уровни металлизации, и переходит на соседние уровни металлизации.

Время разрушения (t) описывается с помощью уравнения Блэка [42]:

$$t = Aj^{-n} \exp\left(\frac{E_a}{kT}\right), \quad (3)$$

где j — плотность тока; n — параметр модели, значение которого находится в диапазоне от 1 до 2; E_a — энергия активации диффузии; k — постоянная Больцмана; T — температура. Энергия активации диффузии зависит от металла и механизма диффузии. Чем ниже энергия активации, тем быстрее происходит разрушение дорожки. Чтобы увеличить устойчивость к электромиграции, необходимо использовать материалы с наибольшей энергией активации.

4. ПОДХОД К ВЫБОРУ НОВЫХ МАТЕРИАЛОВ ДЛЯ УРОВНЕЙ МЕТАЛЛИЗАЦИИ M0—M1

Классическое выражение для размерного эффекта удельного сопротивления (2) показывает, что вклады сопротивления от рассеяния электронов на внешней поверхности и границах зерен пропорциональны произведению $\rho_0 \lambda$. Для металла с наименьшим произведением $\rho_0 \lambda$ ожидается наибольшая проводимость при малой ширине дорожки.

Произведение $\rho_0 \lambda$ не зависит от температуры и рассеяния электронов на примесях и кристаллических дефектах, поскольку в рамках классического транспортного описания рассеяние электронов вызывает увеличение ρ_0 и пропорциональное уменьшение λ . Поэтому $\rho_0 \lambda$ можно оценить аналитически без учета электрон-фоонных взаимодействий. Это было сделано для ряда металлов [43, 44]. Данные в соответствии с классическими моделями для 12 металлов, для которых произведение $\rho_0 \lambda$ оказывается ниже, чем у Cu, представлены в табл. 2 (два значения — для гексагональных кристаллических структур, в направлениях перпендикулярно и параллельно гексагональной оси соответственно).

Экспериментальные данные для удельного сопротивления линий квадратного сечения в зависимости от ширины d приведены на рис. 7. Можно заметить несоответствие между последовательностями предсказанного и экспериментального ранжирования материалов. Тем не менее этот список можно рассматривать в качестве отправной точки в поиске подходящих материалов. В частности, дорожки из трех металлов обладают более низким значением ρ , чем дорожки из меди. Это Ru,

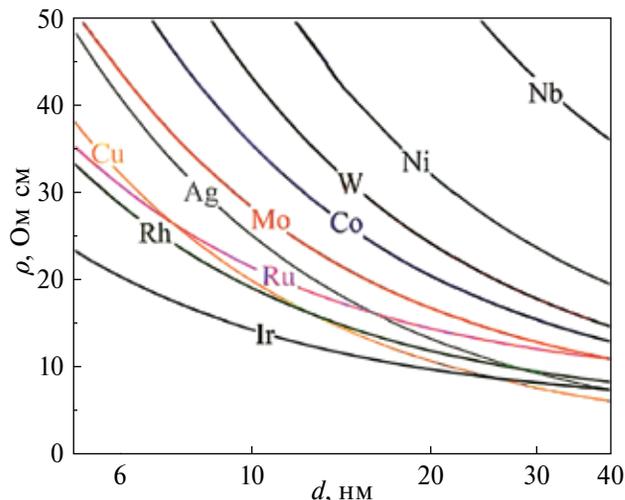


Рис. 7. Удельное сопротивление ρ поликристаллических дорожек с квадратным сечением в зависимости от их ширины d .

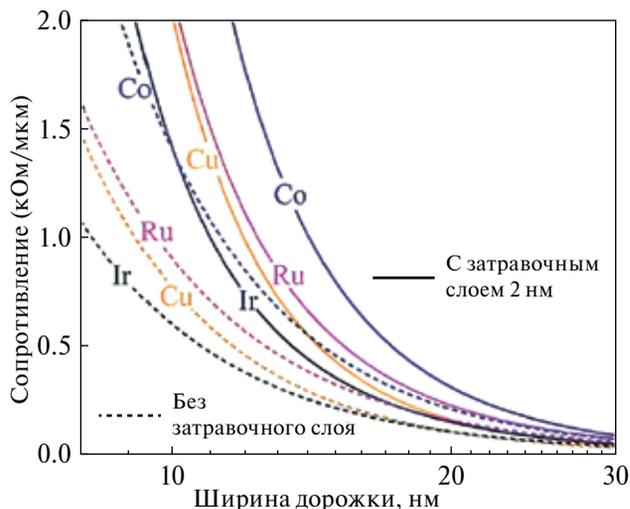


Рис. 8. Сопротивление дорожек с соотношением сторон сечения 2 : 1 от их ширины с затравочным слоем (2 нм) и без.

Rh, Ir при ширине дорожек d менее 7, 13 и 26 нм соответственно.

Интеграция барьерных и затравочных слоев значительно влияет на общее сопротивление линии. На рис. 8 представлен график зависимости сопротивления дорожек от их ширины с учетом затравочного слоя (2 нм) и без. Предположительно для Ru, Co, Cu требуются затравочные слои толщиной 0,3, 1,0, 2,0 нм соответственно [10, 45, 46]. Поэтому Ru может иметь преимущество.

Более высокая устойчивость к электромиграции также важна для проводника. Возможным параметром оценки устойчивости к электромиграции может служить температура плавления материала. На рис. 9 показано, как значение произведения $\rho_0 \lambda$

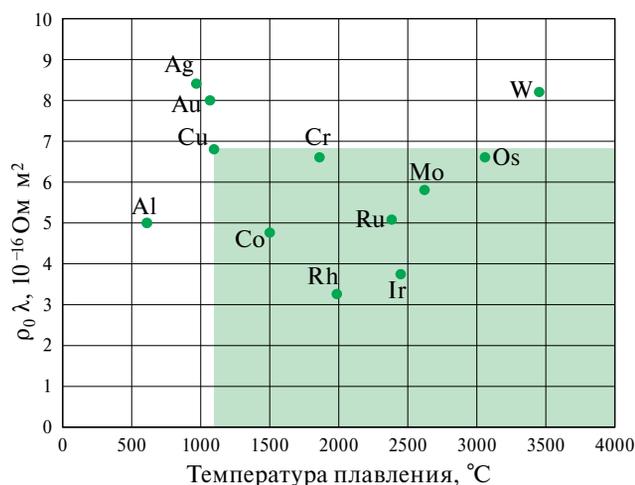


Рис. 9. Температура плавления и соответствующее произведение $\rho_0 \lambda$ для различных металлов.

соотносится с температурой плавления для некоторых металлов.

Перспективные материалы, которые превосходят медь по устойчивости к электромиграции и производству $\rho_0 \lambda$, находятся в зеленом квадрате.

Еще одним критерием для выбора новых материалов является возможность и простота технологического процесса формирования межсоединений. Подробнее наиболее перспективные материалы описаны в следующих разделах.

5. КОБАЛЬТ

На данный момент кобальт уже используется на нижних уровнях металлизации. Intel была первой компанией, которая использовала кобальт для формирования межсоединений в своем техпроцессе 10 нм на уровнях M0 и M1 [47]. Однако из-за технологических проблем с интеграцией кобальта на данный момент от него пришлось отказаться в пользу более совершенной медной технологии. Тем не менее TSMC и Samsung удалось преодолеть эти трудности, и они до сих пор используют кобальт на нижних уровнях металлизации в своих 7- и 5-нанометровых технологических процессах [48].

Для формирования системы металлизации из кобальта также используется дамасцен процесс. Заполнение канавок кобальтом происходит с помощью электролитического осаждения на систему из барьерного, адгезионного слоя TiN (сформированный с помощью CVD) и затравочного слоя кобальта (также сформированный с помощью CVD) [49].

Однозначным преимуществом дорожек из Co в сравнении с дорожками из Cu является возможность использования более тонких барьерных слоев. Есть и недостаток — электроотрицательность Co значительно выше, чем у Cu, поэтому

электроосаждение Co проходит с небольшим выходом по току. Этот недостаток устраняется с помощью внесения в раствор компонентов, понижающих pH (например, борной кислоты) [50].

Проводилось экспериментальное сравнение тестовых структур металлизации, изготовленных в соответствии с техпроцессом 10 нм, на основе Co и Cu. При формировании структур применялся двойной дамасцен процесс [49].

Применение кобальта вместо меди приводит к увеличению удельного сопротивления в 1.8 раз при площади поперечного сечения 1000 нм². Тем не менее более тонкие барьерные слои, необходимые для Co, позволяют снизить сопротивление вертикальных дорожек, что приводит к значительному уменьшению RC-задержек в локальных межсоединениях. К тому же на нижних уровнях металлизации (M0, M1) из-за малой длины дорожек разница в сопротивлении линий из Cu и Co незначительна [51]. Использование кобальта в дорожках обеспечивает предельную плотность тока как минимум в 100 раз выше, чем у дорожек из меди. Более высокая устойчивость к электромиграции Co дает значительное преимущество в надежности в сравнении с Cu. Однако стоит заметить, что у Co очень низкая теплопроводность, что приводит к росту локальной температуры.

6. ИРИДИЙ И РОДИЙ

Дорожки из иридия и родия при размерах менее 30 нм обладают самым низким сопротивлением среди всех кандидатов (см. рис. 13). Ir и Rh не требуют барьерных слоев, но для них характерна

Таблица 2. Список материалов с предсказанным $\rho_0 \lambda$

Материал	$\rho_0 \lambda (10^{-16} \text{ Ом} \cdot \text{м}^2)$
Rh	3.2
Pt	3.4
Ir	3.7
Ru	5.1/3.8
Nb	3.9
Ni	4.1
Ta	4.2
Os	6.4/4.3
Co	4.9
Al	5.0
Fe	5.6
Mo	6.0
Cu	6.7

плохая адгезия к основным диэлектрикам (SiO_2 , Si_3N_4), поэтому необходимо использование адгезионных слоев. На данный момент в производственном процессе для других металлов используются слои TiN , TiO_x , TaN или TaO_x . Все они обладают низкой плотностью электронных состояний на границе с металлом, и поэтому предполагается, что они не будут влиять на поверхностное рассеяние электронов. Что касается вертикальных дорожек, было обнаружено, что азотсодержащие слои (TiN и TaN) обеспечивают более низкое сопротивление в сравнении с кислородсодержащими слоями (TiO_x и TaO_x). С другой стороны, самая высокая адгезия обеспечивается слоями на основе Ti [56]. Таким образом, оптимальным адгезионным слоем для Ir и Rh является TiN .

В соответствии с теоретической оценкой энергии активации диффузии объемных Cu , Rh , Ir составляет 0,8, 1,5 и 2,6 эВ соответственно [56]. Поэтому можно ожидать, что устойчивость к электромиграции Rh и Ir окажется довольно высокой, сопоставимой с устойчивостью Ru .

Существенным недостатком является высокая цена этих материалов. Родий дороже золота примерно в 11 раз, а иридий — в 3 раза. Это ограничивает их потенциальное применение в микроэлектронной промышленности.

7. МОЛИБДЕН

Молибден немного уступает кобальту по производству $\rho_0\lambda$. Структуры из молибдена могут быть реализованы с помощью субтрактивного подхода. К тому же Mo не требует барьерных слоев и обладает наибольшей температурой плавления и теплопроводностью среди всех кандидатов.

Плазмохимическое травление Mo возможно в различных процессах на основе галогенов: фтора, хлора и брома. С одной стороны, это обеспечивает высокую селективность травления по отношению к фоторезистам. С другой стороны, требуется применение стоп-слоев. У Mo нет проблем с адгезией к основным диэлектрикам, поэтому адгезионные слои использовать не нужно.

В процессе формирования структур может возникнуть проблема, связанная со спонтанным окислением Mo после нанесения пленки и в процессе травления [52]. В результате образуется слой оксида молибдена толщиной 2 нм. Например, в дорожке шириной 16 нм MoO_x суммарно занимает 4 нм. Это приводит к увеличению сопротивления дорожки из Mo примерно на 30% в сравнении с дорожкой из молибдена без оксида. Для линий шириной 10 нм и шагом 20 нм это может привести к повышению сопротивления более чем на 60%, что становится серьезным препятствием для интеграции Mo в межсоединения.

Возможно, решением проблемы будет являться инкапсуляция диэлектриком дорожек молибдена

сразу же после травления. Такой процесс осаждения должен быть бескислородным. Чтобы избежать значительного ухудшения емкости, материал инкапсулирующего слоя должен иметь низкое значение диэлектрической проницаемости. Выбор подходящего материала инкапсулирующего слоя и метода осаждения, отвечающих всем этим требованиям, — важная задача, позволяющая интегрировать Mo на нижних уровнях металлизации.

8. РУТЕНИЙ

Рутений является одним из самых перспективных кандидатов на замену меди. На конференции ИТС2019 компания imes продемонстрировала тестовый образец с системой металлизации в соответствии с трехнанометровым технологическим процессом. При формировании структур применялся двойной дамасцен процесс. На нижних уровнях были реализованы безбарьерные межсоединения из рутения (Ru) и использовался диэлектрик с диэлектрической проницаемостью $k = 3.0$. Было продемонстрировано снижение RC -задержек на 30% по сравнению с предыдущими поколениями медной металлизации. При этом не наблюдалось снижение надежности [53].

В отличие от меди, структуры из рутения могут быть реализованы с помощью субтрактивного подхода на основе плазмохимического или атомно-слоевого травления металла, а также возможна реализация системы металлизации без барьерных слоев, что может привести к снижению сопротивления линий [52]. Обычно плазмохимическое травление Ru проводят в кислородной плазме. Это возможно благодаря образованию летучего RuO_4 [55]. С другой стороны, Ru очень устойчив к травлению в галогенсодержащей плазме. Поскольку большинство материалов в современных интегральных схемах устойчивы к травлению в кислородной плазме, интеграция Ru в качестве металла межсоединений может быть очень удобной и не требует применения стоп-слоев.

Также в 2020 г. был предложен “полудамасцен” процесс. Сначала формируется вертикальное отверстие в диэлектрике, заполняется металлом (например, рутением) до тех пор, пока на диэлектрике не образуется слой металла нужной толщины. А затем на этот слой металла наносится жесткая маска и проводится литография. С помощью плазмохимического травления формируются металлические линии. Таким образом, возможно формирование воздушных зазоров между металлическими линиями, позволяющих существенно снизить паразитные емкости. Такое решение особенно актуально для линий с высоким аспектным отношением, позволяющим снизить сопротивление. Использование безбарьерной рутениевой системы металлизации с воздушными зазорами, полученной с помощью полудамасцен процесса, позволяет существенно снизить RC -задержки.

Таким образом, возможны несколько подходов к формированию системы металлизации из рутения: двойной дамасцен, “полудамасцен”, субтрактивный процессы. Для рутения характерна низкая адгезия к диэлектрическим материалам, таким как SiO_2 и Si_3N_4 , поэтому необходимо применение адгезионных слоев TiN или TiO_2 . Также рутений обладает лучшей устойчивостью к электромиграции, медь и кобальт.

ЗАКЛЮЧЕНИЕ

В работе рассмотрены проблемы в ИС, связанные с системой металлизации. Когда ширина дорожек достигает размера 10 нм, а расстояние между ними — 20 нм, медные дорожки перестают удовлетворять требованиям к сопротивлению и устойчивости к электромиграции. Ведутся исследования, направленные на поиск новых материалов для межсоединений.

Были рассмотрены достоинства и недостатки основных кандидатов. Кобальт обеспечивает большие преимущества в надежности (по сравнению с медью) из-за большей устойчивости к электромиграции и небольшое снижение RC -задержек благодаря возможности использования барьерных слоев толщиной около 1 нм.

Дорожки из иридия и родия обладают самым низким сопротивлением при малых размерах. Также они имеют более высокие энергии активации диффузии, чем медь, что может говорить о высокой устойчивости к электромиграции. Однако для интеграции этих материалов необходимо использование адгезионных слоев. Также проблемой является их высокая цена.

Молибден может быть одним из лучших кандидатов. Цена этого материала сравнительно низкая, при этом он обладает такими же высокими характеристиками, как и Ru. Есть проблемы, связанные со спонтанным окислением, в результате которого объемная доля Mo в линиях значительно снижается, что приводит к существенному увеличению сопротивления дорожек. Пока проблема с окислением молибдена не будет решена, говорить о интеграции Mo на нижних уровнях металлизации рано.

С точки зрения характеристик и технологий формирования системы металлизации, рутений является самым перспективным кандидатом. Этот материал обеспечивает высокую надежность и значительные уменьшения RC -задержек. Хотя цена рутения довольно высока, тем не менее необходимо учитывать возможность значительного снижения стоимости процесса формирования системы металлизации благодаря возможности перехода к субтрактивному процессу.

Таким образом, рутений и молибден являются самыми перспективными материалами.

ФИНАНСИРОВАНИЕ

Работа выполнена в рамках Государственного задания ФТИАН им. К.А. Валиева РАН Минобрнауки России по теме FFNN-2022-0021.

КОНФЛИКТ ИНТЕРЕСОВ

Авторы заявляют, что у них нет конфликта интересов

СПИСОК ЛИТЕРАТУРЫ

1. *Seehra M., Bristow A. (ed.)*. Noble and Precious Metals: Properties, Nanoscale Effects and Applications. BoD — Books on Demand, 2018.
2. *Wen L., Yamashita F., Tang B., Croes K., Tahara S., Shimoda K., Tökei Z.* IEEE International Interconnect Technology Conference (ИИТЦ) // IEEE International Interconnect Technology Conference (ИИТЦ). 2015. С. 173.
3. *Wu F., Levitin G., Hess D.W.* Low-temperature etching of Cu by hydrogen-based plasmas // ACS Applied Materials & Interfaces. 2010. Т. 2. № 8. С. 2175–2179.
4. *Kapur P., McVittie J.P., Saraswat K.C.* Technology and reliability constrained future copper interconnects. I. Resistance modeling // IEEE Transactions on Electron Devices. 2002. Т. 49. № 4. С. 590–597.
5. *Gall D.* The search for the most conductive metal for narrow interconnect lines // Journal of Applied Physics. 2020. Т. 127. № 5.
6. *Yeoh A., Madhavan A., Kybert N., Anand S., Shin J., Asoro M.* IEEE International Interconnect Technology Conference (ИИТЦ) // IEEE International Interconnect Technology Conference (ИИТЦ). 2018. С. 144.
7. *Bekiaris N., Mont F.W., Zhang X., Wang W., Kelly J.J., Standaert T.E., Quon R., Ryan E.T.* IEEE International Interconnect Technology Conference (ИИТЦ) // IEEE. 2017. Т. 2017. С. 1–3.
8. *Hegde G., Bowen R.C., Simka H.* IEEE International Interconnect Technology Conference (ИИТЦ) // IEEE International Interconnect Technology Conference (ИИТЦ). 2018. С. 163.
9. *Kamineni V., Raymond M., Siddiqui S., Mont F., Tsai S., Niu C., L'Herron B.* IEEE International Interconnect Technology Conference/Advanced Metallization Conference (ИИТЦ, АМС) // IEEE International Interconnect Technology Conference ИИТЦ. IEEE, 2016. С. 105.
10. *Wen L., Cui Y., Kuwahara Y., Mori K., Yamashita H.* Atomic layer deposition of ruthenium with TiN interface for sub-10 nm advanced interconnects beyond copper // ACS applied materials & interfaces. 2016. Т. 8. № 39. С. 26119–26125.
11. *Fan S.S.C., Chen J.H.C., Kamineni V.K., Zhang X., Raymond M., Labelle C.* IEEE International

- Interconnect Technology Conference (ИИТЦ) // IEEE. 2017. Т. 2017. С. 1–3.
12. *Nogami T., Patlolla R., Kelly J., Briggs B., Huang H., Demarest J., Paruchuri V.* Cobalt/copper composite interconnects for line resistance reduction in both fine and wide lines // 2017 IEEE International Interconnect Technology Conference (ИИТЦ). IEEE, 2017. С. 1–3.
 13. *West A.C.* Theory of filling of high-aspect ratio trenches and vias in presence of additives // Journal of the Electrochemical Society. 2000. Т. 147. № 1. С. 227.
 14. *Andricacos P.C., Uzoh C., Dukovic J.O., Horkans J., Deligianni H.* // IBM J. Res. Develop. 1998. Т. 42. С. 567.
 15. *Broadbent E.K., McInerney E.J., Gochberg L.A., Jackson R.L.* Experimental and analytical study of seed layer resistance for copper damascene electroplating // Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena. 1999. Т. 17. № 6. С. 2584–2595.
 16. *Wolf S.* Process technology // Silicon Processing for the VLSI Era. 1986. Т. 1. С. 532.
 17. *Maex K., Baklanov M.R., Shamiryan D., Lacopi F., Brongersma S.H., Yanovitskaya Z.S.* Low dielectric constant materials for microelectronics // Journal of Applied Physics. 2003. Т. 93. № 11. С. 8793–8841.
 18. *Cheng Y.L., Wang Y.L., Liu C.W., Wu Y.L., Lo K.Y., Liu C.P., Lan J.K.* Characterization and reliability of low dielectric constant fluorosilicate glass and silicon rich oxide process for deep sub-micron device application // Thin Solid Films. 2001. Т. 398. С. 533–538.
 19. *Penny C., Gates S., Peethala B., Lee J., Priyadarshini D., Nguyen S., Huang E.* Reliable airgap BEOL technology in advanced 48 nm pitch copper/ULK interconnects for substantial power and performance benefits // 2017 IEEE International Interconnect Technology Conference (ИИТЦ). IEEE, 2017. С. 1–4.
 20. *Choi D., Liu X., Schelling P.K., Coffey K.R., Barmak K.* Failure of semiclassical models to describe resistivity of nanometric, polycrystalline tungsten films // Journal of Applied Physics. 2014. Т. 115. № 10.
 21. *Munoz R.C., Arenas C.* Size effects and charge transport in metals: Quantum theory of the resistivity of nanometric metallic structures arising from electron scattering by grain boundaries and by rough surfaces // Applied Physics Reviews. 2017. Т. 4. № 1.
 22. *Zhou T., Gall D.* Resistivity scaling due to electron surface scattering in thin metal layers // Physical Review B. 2018. Т. 97. № 16. С. 165406.
 23. *Fuchs K.* The conductivity of thin metallic films according to the electron theory of metals // Mathematical Proceedings of the Cambridge Philosophical Society. Cambridge University Press. 1938. Т. 34. № 1. С. 100–108.
 24. *Sondheimer E.H.* The mean free path of electrons in metals // Advances in physics. 2001. Т. 50. № 6. С. 499–537.
 25. *Zheng P.Y., Deng R.P., Gall D.* Ni doping on Cu surfaces: Reduced copper resistivity // Applied Physics Letters. 2014. Т. 105. № 13.
 26. *Purswani J.M., Gall D.* Surface morphological evolution during annealing of epitaxial Cu (001) layers // Journal of Applied Physics. 2008. Т. 104. № 4.
 27. *Chawla J.S., Gall D.* Specular electron scattering at single-crystal Cu (001) surfaces // Applied Physics Letters. 2009. Т. 94. № 25.
 28. *Milosevic E., Gall D.* Copper interconnects: Surface state engineering to facilitate specular electron scattering // IEEE Transactions on Electron Devices. 2019. Т. 66. № 6. С. 2692–2698.
 29. *Орлов А.А., Резванов А.А., Гвоздев В.А., Орлов Г.А., Серегин Д.С., Кузнецов П.И., Блумберг Т., Веселов А.А., Сузуки Т., Морозов Е.Н., Воротилов К.А.* Диэлектрический барьер в субтрактивном процессе формирования системы медной металлизации // Микроэлектроника. 2022. Т. 51. № 6. С. 478–487.
 30. *Chawla J.S., Zahid F., Guo H., Gall D.* Effect of O₂ adsorption on electron scattering at Cu (001) surfaces // Applied Physics Letters. 2010. Т. 97. № 13.
 31. *Plombon J.J., Andideh E., Dubin V.M., Maiz J.* Influence of phonon, geometry, impurity, and grain size on copper line resistivity // Applied physics letters. 2006. Т. 89. № 11.
 32. *Barmak K., Darbal A., Ganesh K.J., Ferreira P.J., Rickman J.M., Sun T., Coffey K.R.* Surface and grain boundary scattering in nanometric Cu thin films: A quantitative analysis including twin boundaries // Journal of Vacuum Science & Technology A. 2014. Т. 32. № 6.
 33. *Chawla J.S., Gstrein F., O'Brien K.P., Clarke J.S., Gall D.* Electron scattering at surfaces and grain boundaries in Cu thin films and wires // Physical Review B. 2011. Т. 84. № 23. С. 235423.
 34. *Sun T., Yao B., Warren A.P., Barmak K., Toney M.F., Peale R.E., Coffey K.R.* Surface and grain-boundary scattering in nanometric Cu films // Physical Review B. 2010. Т. 81. № 15. С. 155454.
 35. *Lim J.W., Mimura K., Isshiki M.* Thickness dependence of resistivity for Cu films deposited by ion beam deposition // Applied Surface Science. 2003. Т. 217. № 1–4. С. 95–99.
 36. *Kim T.H., Zhang X.G., Nicholson D.M., Evans B.M., Kulkarni N.S., Radhakrishnan B., Li A.P.* Large discrete resistance jump at grain boundary in copper nanowire // Nano letters. 2010. Т. 10. № 8. С. 3096–3100.
 37. *Lanzillo N.A.* Ab Initio evaluation of electron transport properties of Pt, Rh, Ir, and Pd nanowires for advanced interconnect applications // Journal of Applied Physics. 2017. Т. 121. № 17.

38. *Махвиладзе Т.М., Сарычев М.Е.* Влияние точечных дефектов на возникновение электромиграции в проводнике с примесью // Микроэлектроника. 2021. Т. 50. № 5. С. 376–383.
39. *Махвиладзе Т.М., Сарычев М.Е.* Влияние точечных дефектов на скорость электромиграции по границе соединенных материалов // Микроэлектроника. 2020. Т. 49. № 6. С. 450–458.
40. *Cheng Y.-L., Lee S. Y., Chiu C., Wu K.* Back stress model on electromigration lifetime prediction in short length copper interconnects // 2008 IEEE International Reliability Physics Symposium. IEEE, 2008. С. 685–686.
41. *Валиев К.А., Гольдштейн Р.В., Житников Ю.В., Махвиладзе Т.М., Сарычев М.Е.* Теория и моделирование нано- и микропроцессов разрушения тонкопленочных проводников и долговечность металлизации интегральных схем. Часть I. Общая теория переноса вакансий, генерации механических напряжений и зарождения микрополостей при электромиграции. Деградация и разрушение многоуровневой металлизации // Микроэлектроника. 2009. Т. 38. № 6. С. 404–427.
42. *Lloyd J.R.* Black's law revisited — Nucleation and growth in electromigration failure // Microelectronics Reliability. 2007. Т. 47. № 9–11. С. 1468–1472.
43. *Gall D.* Electron mean free path in elemental metals // Journal of applied physics. 2016. Т. 119. № 8.
44. *Dutta S., Sankaran K., Moors K., Pourtois G., Van Elshocht S., Bömmels J., Adelman C.* Thickness dependence of the resistivity of platinum-group metal thin films // Journal of Applied Physics. 2017. Т. 122. № 2.
45. *Van der Veen M.H., Jourdan M.H., Gonzalez V.V., Wilson C.J., Heylen N., Pedreira O.V., Tokei Z.* 2016 IEEE International Interconnect Technology Conference/Advanced Metallization Conference, 2016.
46. *Dutta S., Moors K., Vandemaele M., Adelman C.* IEEE Electron Device Lett. 39, 268 (2018).
47. *Dutta S., Moors K., Vandemaele M., Adelman C.* Finite size effects in highly scaled ruthenium interconnects // IEEE Electron Device Letters. 2018. Т. 39. № 2. С. 268–271.
48. *Motoyama K.* EM performance improvements for Cu interconnects with Ru-based liner and Co cap in advanced nodes // 2021 IEEE International Interconnect Technology Conference (IITC). IEEE, 2021. С. 1–3.
49. *Sell B., An S., Armstrong J., Bahr D., Bains B., Bambery R., Young N.* Intel 4 CMOS technology featuring advanced FinFET transistors optimized for high density and high-performance computing // 2022 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits). IEEE, 2022. С. 282–283.
50. *Griggio F., Palmer J., Pan F., Toledo N., Schmitz A., Tsameret I.* Reliability of dual-damascene local interconnects featuring cobalt on 10 nm logic technology // 2018 IEEE International Reliability Physics Symposium (IRPS). IEEE, 2018. С. 6E. 3–1–6E. 3–5.
51. *Shalyt E., Palvov M., Yan X., Lin D.* Process metrology of cobalt damascene interconnects // 2016 IEEE International Interconnect Technology Conference/Advanced Metallization Conference (IITC/AMC). IEEE, 2016. С. 186–188.
52. *Yeoh A., Madhavan A., Kybert N., Anand S., Shin J., Asoro M.* Interconnect stack using self-aligned quad and double patterning for 10 nm high volume manufacturing // 2018 IEEE International Interconnect Technology Conference (IITC). IEEE, 2018. С. 144–147.
53. *Decoster S., Camerotto E., Murdoch G., Kundu S., Le Q.T., Tökei Z., Lazzarino F.* Patterning challenges for direct metal etch of ruthenium and molybdenum at 32 nm metal pitch and below // Journal of Vacuum Science & Technology B. 2022. Т. 40. № 3.
54. *Founta V., Witters T., Mertens S., Vanstreels K., Meersschaut J., Van Marcke P.* Molybdenum as an Alternative Metal: Thin Film Propertie. 2019.
55. *Hsu C.C., Coburn J.W., Graves D.B.* Etching of ruthenium coatings in O₂- and Cl₂-containing plasmas // Journal of Vacuum Science & Technology A. 2006. Т. 24. № 1. С. 1–8.
56. *Tan S.* Atomic layer etch-Advancing its application with a new regime // 6th International Atomic Layer Etching Workshop (ALE, Bellevue). 2019.
57. *Lanzillo N.A., Edelstein D.C.* Reliability and resistance projections for rhodium and iridium interconnects from first-principles // Journal of Vacuum Science & Technology B. 2022. Т. 40. № 5.

INTERCONNECTS MATERIALS FOR INTEGRATED CIRCUIT TECHNOLOGY BELOW 5 nm NODE

O. G. Glaz^{a, b, *}, A. E. Rogozhin^a

^aValiev Institute of Physics and Technology of Russian Academy of Sciences (VALIEV IPT RAS), Moscow, Russia

^bDepartment of Physics and Technologies of Electrical Materials and Components,

National Research University "MPEI", Moscow, Russia

*E-mail: glaz@ftian.ru

As the integrated circuits is scaled few problems appear at the lowest levels of interconnects — high resistance of copper lines and copper electromigration. High resistance is connected with the increasing

contribution of the electron surface scattering and grain boundary scattering. Moreover, copper lines require barrier layers decreasing the cross-section of the copper part of the line. Also the resistance of copper to electromigration is insufficient for the technology node below 5nm. Therefore, it is necessary to look for alternative materials to replace copper, which will provide high resistance to electromigration and low resistance of the lines. The most promising candidates are Ru, Mo, Rh, Ir. The advantages and disadvantages of these materials are considered in this paper.

Keywords: interconnects, damascene process, low-k dielectrics, ruthenium, cobalt, molybdenum, iridium, rhodium

REFERENCES

1. *Seehra M., Bristow A.* (ed.). Noble and Precious Metals: Properties, Nanoscale Effects and Applications. BoD — Books on Demand, 2018.
2. *Wen L., Yamashita F., Tang B., Croes K., Tahara S., Shimoda K., Tōkei Z.* IEEE International Interconnect Technology Conference (IITC) // IEEE International Interconnect Technology Conference (IITC). 2015. P. 173.
3. *Wu F., Levitin G., Hess D. W.* Low-temperature etching of Cu by hydrogen-based plasmas // ACS Applied Materials & Interfaces. 2010. V. 2. No. 8. P. 2175–2179.
4. *Kapur P., McVittie J.P., Saraswat K.C.* Technology and reliability constrained future copper interconnects. I. Resistance modeling // IEEE Transactions on Electron Devices. 2002. V. 49. No. 4. P. 590–597.
5. *Gall D.* The search for the most conductive metal for narrow interconnect lines // Journal of Applied Physics. 2020. V. 127. No. 5.
6. *Yeoh A., Madhavan A., Kybert N., Anand S., Shin J., Asoro M.* IEEE International Interconnect Technology Conference (IITC) // IEEE International Interconnect Technology Conference (IITC). 2018. P. 144.
7. *Bekiaris N., Mont F. W., Zhang X., Wang W., Kelly J.J., Standaert T.E., Quon R., Ryan E.* IEEE International Interconnect Technology Conference (IITC) // IEEE International Interconnect Technology Conference (IITC). 2017. V. 2017. P. 1–3.
8. *Hegde G., Bowen R.C., Simka H.* IEEE International Interconnect Technology Conference (IITC) // IEEE International Interconnect Technology Conference (IITC). 2018. P. 163.
9. *Kamineni V., Raymond M., Siddiqui S., Mont F., Tsai S., Niu C., L'Herron B.* IEEE International Interconnect Technology Conference/Advanced Metallization Conference (IITC, AMC) // IEEE International Interconnect Technology Conference IITC. IEEE, 2016. P. 105.
10. *Wen L.G., Cui Y., Kuwahara Y., Mori K., Yamashita H.* Atomic layer deposition of ruthenium with TiN interface for sub-10 nm advanced interconnects beyond copper // ACS applied materials & interfaces. 2016. V. 8. No. 39. P. 26119–26125.
11. *Fan S.S.C., Chen J.H.C., Kamineni V.K., Zhang X., Raymond M., Labelle C.* IEEE International Interconnect Technology Conference (IITC) // IEEE. 2017. V. 2017. P. 1–3.
12. *Nogami T., Patlolla R., Kelly J., Briggs B., Huang H., Demarest J., Paruchuri V.* Cobalt/copper composite interconnects for line resistance reduction in both fine and wide lines // 2017 IEEE International Interconnect Technology Conference (IITC). IEEE, 2017. P. 1–3.
13. *West A.C.* Theory of filling of high-aspect ratio trenches and vias in presence of additives // Journal of the Electrochemical Society. 2000. V. 147. No. 1. P. 227.
14. *Andricacos P.C., Uzoh C., Dukovic J.O., Horkans J., Deligianni H.* // IBM J. Res. Develop. 1998. V. 42. P. 567.
15. *Broadbent E.K., McInerney E.J., Gochberg L.A., Jackson R.L.* Experimental and analytical study of seed layer resistance for copper damascene electroplating // Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena. 1999. V. 17. No. 6. P. 2584–2595.
16. *Wolf S.* Process technology // Silicon Processing for the VLSI Era. 1986. V. 1. P. 532.
17. *Maex K., Baklanov M.R., Shamiryani D., Lacopi F., Brongersma S.H., Yanovitskaya Z.S.* Low dielectric constant materials for microelectronics // Journal of Applied Physics. 2003. V. 93. No. 11. P. 8793–8841.
18. *Cheng Y.L., Wang Y.L., Liu C.W., Wu Y.L., Lo K.Y., Liu C.P., Lan J.K.* Characterization and reliability of low dielectric constant fluorosilicate glass and silicon rich oxide process for deep sub-micron device application // Thin Solid Films. 2001. V. 398. P. 533–538.
19. *Penny C., Gates S., Peethala B., Lee J., Priyadarshini D., Nguyen S., Huang E.* Reliable airgap BEOL technology in advanced 48 nm pitch copper/ULK interconnects for substantial power and performance benefits // 2017 IEEE International Interconnect Technology Conference (IITC). IEEE, 2017. P. 1–4.
20. *Choi D., Liu X., Schelling P., Coffey K., Barmak K.* Failure of semiclassical models to describe resistivity of nanometric, polycrystalline tungsten films // Journal of Applied Physics. 2014. V. 115. No. 10.
21. *Munoz R.C., Arenas C.* Size effects and charge transport in metals: Quantum theory of the resistivity of nanometric metallic structures arising from electron scattering by grain boundaries and by rough surfaces // Applied Physics Reviews. 2017. V. 4. No. 1.

22. Zhou T., Gall D. Resistivity scaling due to electron surface scattering in thin metal layers // *Physical Review B*. 2018. V. 97. No. 16. P. 165406.
23. Fuchs K. The conductivity of thin metallic films according to the electron theory of metals // *Mathematical Proceedings of the Cambridge Philosophical Society*. Cambridge University Press. 1938. V. 34. No. 1. P. 100–108.
24. Sondheimer E.H. The mean free path of electrons in metals // *Advances in physics*. 2001. V. 50. No. 6. P. 499–537.
25. Zheng P.Y., Deng R.P., Gall D. Ni doping on Cu surfaces: Reduced copper resistivity // *Applied Physics Letters*. 2014. V. 105. No. 13.
26. Purswani J.M., Gall D. Surface morphological evolution during annealing of epitaxial Cu (001) layers // *Journal of Applied Physics*. 2008. V. 104. No. 4.
27. Chawla J.S., Gall D. Specular electron scattering at single-crystal Cu (001) surfaces // *Applied Physics Letters*. 2009. V. 94. No. 25.
28. Milosevic E., Gall D. Copper interconnects: Surface state engineering to facilitate specular electron scattering // *IEEE Transactions on Electron Devices*. 2019. V. 66. No. 6. P. 2692–2698.
29. Orlov A.A., Rezyanov A.A., Gvozdev V.A., Orlov G.A., Seregin D.S., Kuznetsov P.I., Blumberg T., Veselov A.A., Suzuki T., Morozov E.N., Vorotilov K.A. Dielectric barrier in the subtractive process of forming a copper metallization system // *Microelectronics*. 2022. V. 51. No. 6. P. 478–487.
30. Chawla J.S., Zahid F., Guo H., Gall D. Effect of O₂ adsorption on electron scattering at Cu (001) surfaces // *Applied Physics Letters*. 2010. V. 97. No. 13.
31. Plombon J.J., Andideh E., Dubin V. M., Maiz J. Influence of phonon, geometry, impurity, and grain size on copper line resistivity // *Applied physics letters*. 2006. V. 89. No. 11.
32. Barmak K., Darbal A., Ganesh K.J., Ferreira P.J., Rickman J.M., Sun T., Coffey K.R. Surface and grain boundary scattering in nanometric Cu thin films: A quantitative analysis including twin boundaries // *Journal of Vacuum Science & Technology A*. 2014. V. 32. No. 6.
33. Chawla J.S., Gstrein F., O'Brien K.P., Clarke J.S., Gall D. Electron scattering at surfaces and grain boundaries in Cu thin films and wires // *Physical Review B*. 2011. V. 84. No. 23. P. 235423.
34. Sun T., Yao B., Warren A.P., Barmak K., Toney M.F., Peale R.E., Coffey K.R. Surface and grain-boundary scattering in nanometric Cu films // *Physical Review B*. 2010. V. 81. No. 15. P. 155454.
35. Lim J.W., Mimura K., Isshiki M. Thickness dependence of resistivity for Cu films deposited by ion beam deposition // *Applied Surface Science*. 2003. V. 217. No. 1–4. P. 95–99.
36. Kim T.H., Zhang X.G., Nicholson D.M., Evans B.M., Kulkarni N.S., Radhakrishnan B., Li A.P. Large discrete resistance jump at grain boundary in copper nanowire // *Nano letters*. 2010. V. 10. No. 8. P. 3096–3100.
37. Lanzillo N.A. Ab Initio evaluation of electron transport properties of Pt, Rh, Ir, and Pd nanowires for advanced interconnect applications // *Journal of Applied Physics*. 2017. V. 121. No. 17.
38. Mahviladze T.M., Sarychev M.E. The effect of point defects on the occurrence of electromigration in an impurity conductor // *Microelectronics*. 2021. V. 50. No. 5. P. 376–383.
39. Mahviladze T.M., Sarychev M.E. The effect of point defects on the rate of electromigration along the boundary of connected materials // *Microelectronics*. 2020. V. 49. No. 6. P. 450–458.
40. Cheng Y.-L., Lee S.Y., Chiu C., Wu K. Back stress model on electromigration lifetime prediction in short length copper interconnects // 2008 IEEE International Reliability Physics Symposium. IEEE, 2008. P. 685–686.
41. Valiev K.A., Gol'dshteyn R.V., Zhitnikov Yu.V., Mahviladze T.M., Sarychev M.E. Theory and modeling of nano- and micro-processes of destruction of thin-film conductors and durability of metallization of integrated circuits. Part I. The general theory of vacancy transfer, generation of mechanical stresses and generation of micro cavities during electromigration. Degradation and destruction of multilevel metallization // *Microelectronics*. 2009. V. 38. No. 6. P. 404–427.
42. Lloyd J.R. Black's law revisited —Nucleation and growth in electromigration failure // *Microelectronics Reliability*. 2007. V. 47. No. 9–11. P. 1468–1472.
43. Gall D. Electron mean free path in elemental metals // *Journal of applied physics*. 2016. V. 119. No. 8.
44. Dutta S., Sankaran K., Moors K., Pourtois G., Van Elshocht S., Bömmels J., Adelmann C. Thickness dependence of the resistivity of platinum-group metal thin films // *Journal of Applied Physics*. 2017. V. 122. No. 2.
45. Van der Veen M.H., Jourdan M.H., Gonzalez V.V., Wilson C.J., Heylen N., Pedreira O.V., Tokei Z. 2016 IEEE International Interconnect Technology Conference/Advanced Metallization Conference, 2016.
46. Dutta S., Moors K., Vandemaele M., Adelmann C. *IEEE Electron Device Lett.* 39, 268 (2018).
47. Dutta S., Moors K., Vandemaele M., Adelmann C. Finite size effects in highly scaled ruthenium interconnects // *IEEE Electron Device Letters*. 2018. V. 39. No. 2. P. 268–271.
48. Motoyama K. EM performance improvements for Cu interconnects with Ru-based liner and Co cap in advanced nodes // 2021 IEEE International Interconnect Technology Conference (IITC). IEEE, 2021. P. 1–3.

49. *Sell B., An S., Armstrong J., Bahr D., Bains B., Bamberg R., Young N.* Intel 4 CMOS technology featuring advanced FinFET transistors optimized for high density and high-performance computing // 2022 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits). IEEE, 2022. P. 282–283.
50. *Griggio F., Palmer J., Pan F., Toledo N., Schmitz A., Tsameret I.* Reliability of dual-damascene local interconnects featuring cobalt on 10 nm logic technology // 2018 IEEE International Reliability Physics Symposium (IRPS). IEEE, 2018. P. 6E. 3–1–6E. 3–5.
51. *Shalyt E., Palyov M., Yan X., Lin D.* Process metrology of cobalt damascene interconnects // 2016 IEEE International Interconnect Technology Conference/Advanced Metallization Conference (IITC/AMC). IEEE, 2016. P. 186–188.
52. *Yeoh A., Madhavan A., Kybert N., Anand S., Shin J., Asoro M.* Interconnect stack using self-aligned quad and double patterning for 10nm high volume manufacturing // 2018 IEEE International Interconnect Technology Conference (IITC). IEEE, 2018. P. 144–147.
53. *Decoster S., Camerotto E., Murdoch G., Kundu S., Le Q.T., Tőkei Z., Lazzarino F.* Patterning challenges for direct metal etch of ruthenium and molybdenum at 32 nm metal pitch and below // Journal of Vacuum Science & Technology B. 2022. V. 40. No. 3.
54. *Founta V., Witters T., Mertens S., Vanstreels K., Meersschaut J., Van Marcke P.* Molybdenum as an Alternative Metal: Thin Film Properties. 2019.
55. *Hsu C.C., Coburn J.W., Graves D.B.* Etching of ruthenium coatings in O₂- and Cl₂-containing plasmas // Journal of Vacuum Science & Technology A. 2006. V. 24. No. 1. P. 1–8.
56. *Tan S.* Atomic layer etch—Advancing its application with a new regime // 6th International Atomic Layer Etching Workshop (ALE, Bellevue). 2019.
57. *Lanzillo N.A., Edelstein D.C.* Reliability and resistance projections for rhodium and iridium interconnects from first-principles // Journal of Vacuum Science & Technology B. 2022. V. 40. No. 5.